

⑫ 特 許 公 報 (B 2)

平4-62475

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公告 平成4年(1992)10月6日

H 01 L 43/02

Z

7342-4M

発明の数 2 (全8頁)

⑬ 発明の名称 磁電変換素子およびその製造方法

⑯ 特 願 昭60-99396

⑰ 公 開 昭61-256777

⑱ 出 願 昭60(1985)5月10日

⑲ 昭61(1986)11月14日

⑳ 発 明 者 揖 野 隆 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

\textcircled{21} 発 明 者 柴 崎 一 郎 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

\textcircled{22} 出 願 人 旭化成工業株式会社 大阪府大阪市北区堂島浜1丁目2番6号

\textcircled{23} 代 理 人 弁理士 谷 義 一

審 査 官 関 口 鶴 彦

\textcircled{24} 参 考 文 献 特開 昭58-153384 (JP, A)

1

\textcircled{25} 特許請求の範囲

1 表面に厚さが $30\mu\text{m}$ 以下の有機物絶縁層を有する基板上に厚さ $0.1\sim 10\mu\text{m}$ 、電子移動度が $2000\sim 80000\text{cm}^2/\text{V}\cdot\text{sec}$ のⅢ-V族化合物半導体膜が形成され、該半導体膜上の所要の部分にCu層が形成され、該Cu層の上にAu層が形成されて電極が構成されたことを特徴とする磁電変換素子。

2 マイカの表面にⅢ-V族化合物半導体薄膜を形成する工程、

前記Ⅲ-V族化合物半導体薄膜を絶縁性の樹脂により基板上に接着し、ついで、マイカを除去する工程、

該基板上のⅢ-V族化合物半導体薄膜の表面の所要の部位にのみ銅の無電解メッキを行う工程に続いて、電解メッキにより銅の厚付けを行うことによりコンタクト層を形成する工程、ついで、金からなるボンディング層を形成する工程、

エッチングにより上記Ⅲ-V族化合物半導体薄膜をパターン化する工程、

および上記ボンディング層に金線を超音波ボンディングする工程、

を有することを特徴とする磁電変換素子の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明はホール素子、磁気抵抗効果素子など磁

2

界ないし磁束を電気信号に変換する磁電変換素子に関するものである。

〔従来の技術〕

従来、Ⅲ-V族化合物半導体を用いた磁電変換素子の電極構造は半導体層にオーミックコンタクト層を形成後、蒸着法等によりAu、Al等のワイヤーボンディング性の良好な金属層を形成し、これを $300\sim 400^\circ\text{C}$ 付近に加熱して圧着もしくは超音波と圧着の並用によりAu、Al等の細線を接続する方法が用いられている。しかるに、表面に有機物絶縁層を有する基板上に形成された化合物半導体膜上にこの方法を適用しようとする、つぎのような2つの問題を生じる。

その第一は、ボンディング時に温度を十分に上げられないことである。通常行われているように電極部の温度を $300\sim 400^\circ\text{C}$ に上げると、ボンディング時に有機物絶縁層と半導体膜との間での剥離が生ずる。この原因は、絶縁層と化合物半導体層とは熱膨張率が異なるため、電極部の温度を上昇させると絶縁層と半導体膜との界面に熱応力が集中することにあると推定される。

第2は、有機物絶縁層がやわらかく、Siなどの結晶にくらべて、超音波の圧着がむずかしいことである。このため、通常行われているような大きな超音波パワーを印加すると、絶縁層と半導体膜との間で剥離を生じてしまう。

3

〔発明が解決しようとする問題点〕

そこで、本発明の目的は、表面に有機物絶縁層を有する基板上に形成された厚さ $0.1\sim 10\mu m$ の化合物半導体薄膜に低温で低いエネルギーの超音波で高収率かつ高信頼性のワイヤボンディングを可能にし、磁電変換素子に不可欠な信頼性を飛躍的に増大するとともに、工業的に量産性の極めて大なる磁電変換素子を提供することにある。

〔問題点を解決するための手段〕

本発明者らは、上述の如き、従来技術の欠点を除くため、広汎な電極構造と材質についての検討を重ねた結果、オーミック電極であるCu層を厚く形成することにより、Au-Cuの二層構造とし、下部の有機物絶縁層の弾力によるワイヤボンディング時の超音波吸収を少くし印加を効率化することにより、信頼性の高い、強固な磁電変換素子のワイヤボンディング電極を製作し、本発明を完成した。

すなわち、本発明による磁電変換素子は、表面に厚さ $30\mu m$ 以下の有機物絶縁層を有する基板上に厚さ $0.1\sim 10\mu m$ 、電子移動度が $2000\sim 80000\text{ cm}^2/\text{V}\cdot\text{sec}$ のⅢ-V族化合物半導体膜が形成され、半導体膜上の所要の部分に厚いCu層が形成され、Cu層の上にAu層が形成されて電極が構成されたことを特徴とする。

本願発明による製造方法は、マイカの表面にⅢ-V族化合物半導体薄膜を形成する工程、Ⅲ-V族化合物半導体薄膜を絶縁性の樹脂により基板上に接着し、ついで、マイカを除去する工程、基板上のⅢ-V族化合物半導体薄膜の表面の所要の部位にのみ銅の無電解メッキを行う工程に続いて、電解メッキにより銅の厚付けを行うことによりコンタクト層を形成する工程、ついで、金からなるボンディング層を形成する工程、エッチングにより上記Ⅲ-V族化合物半導体薄膜をパターン化する工程、および上記ボンディング層に金線を超音波ボンディングする工程、を有することを特徴とする。

〔作 用〕

本発明によれば、表面に有機絶縁層を有する基板上に厚さが $0.1\sim 10\mu m$ 、電子濃度が $5\times 10^{15}\sim 5\times 10^{18}\text{ cm}^{-3}$ の範囲内にあり、室温で電子移動度が、 $2000\sim 80000\text{ cm}^2/\text{V}\cdot\text{sec}$ のⅢ-V族の高移動度化合物半導体膜が所要の形状で形成され、その

4

半導体膜上の所要の部分に厚いCuとAu層よりなるワイヤボンディング電極が形成される。

〔実施例〕

本発明の磁電変換素子の1つであるホール素子の構造の1例を第1図に示す。第1図において、ホール素子の基板12上に有機物絶縁層13が形成され該層上に化合物半導体薄膜からなるホール素子が形成されている。即ち、感磁部を構成する高電子移動度の半導体膜14が基板11上に形成され、半導体膜14の所要の部分の上にワイヤボンディング用電極15が形成されている。この電極15は半導体膜14と接続する厚く形成されたCu層16、このCu層16上のAu層18よりなる。電極間の中央部の半導体膜14はホール素子感磁部19を形成する。この感磁部19を覆つてシリコン樹脂41を付着する。このようなワイヤボンディング電極を有する本発明の磁電変換素子においては、電極15はAu、Al、Al-Si合金等の金属細線21でリードフレーム22にワイヤボンディングによつて接続される。基板12は接着樹脂層50を介してリードフレーム22に接着される。更に、リードフレーム22の端部を残して基板11、細線21などは樹脂のモールド体23内に埋込まれて、パッケージ又はモールドされる。

第2図は第1図示のホール素子を上面からみた状態を示す。

第3図および第4図は本発明のホール素子をリードフレーム22を介することなく、プリント配線用基板に直接取付けた例である。すなわち、プリント基板24に形成された配線25に細線21が接続される。

第5図は、フェライト基板12'とフェライトによる磁気収束チップ42で磁電変換素子の感磁部をサンドイッチした構造を有する本発明のホール素子の例である。

第6図は半導体膜14と有機物絶縁層13との中間に無機質の絶縁層26が形成されている本発明の磁電変換素子であるホール素子の例である。

以上のように、本発明では、ワイヤボンディング用電極15はCu層16、Au層18の2層より成る。この二層構造の電極を形成することにより、絶縁性基板11上の半導体薄膜14に対し、低いパワーの超音波印加でかつ低温で高信頼性の

ワイヤーボンディング接合を形成することが可能となる。

Au層あるいはCu層の形成には、無電解メッキ法、電解メッキ法、蒸着又はスパッタリングによるリフトオフ法等の通常の半導体素子の電極形成に用いる方法が用いられる。Au層18の層厚は特に限定されないが、通常は $0.1\sim 30\mu\text{m}$ 、好ましくは $0.1\sim 10\mu\text{m}$ がよい。

厚付けのCu層は半導体に対するオーミック接触層をかねており、そのため必要な厚みに加え、ワイヤーボンディングを可能ならしめるため厚く形成される。

その厚さは $1.0\sim 10\mu\text{m}$ 好ましくは $2.0\sim 6.0\mu\text{m}$ であり、 $1.0\mu\text{m}$ 以下では、十分な強度のワイヤーボンディングは達成不可能である。

本発明磁電変換素子の基板12は、一般の磁電変換素子に用いられているものでよく、単結晶もしくは焼結フェライト基板、セラミック基板、ガラス基板、シリコン基板、サファイヤ基板、耐熱性の樹脂基板、強磁性体である鉄、パーマロイ等の基板等が用いられる。

基板の表面の有機物絶縁層13は有機物である樹脂の絶縁体層が好ましく用いられる。

有機物の絶縁層13は、通常、基板11と高移動度半導体膜14との接着層として好ましく用いられているものであり、通常用いられている熱硬化性のエポキシ樹脂、フェノールエポキシ樹脂や東芝セラミック製TVB樹脂等が用いられる。又、その絶縁体層13の厚さは、特に限定されないが、 $60\mu\text{m}$ 以下であり、好ましくは $30\mu\text{m}$ 以下である。

本発明磁電変換素子では、第6図に示すように、感磁部の半導体層と有機物絶縁層の中間に無機質のうすい絶縁層が形成されることも行われる。この場合、無機質の絶縁層は、 SiO_2 、 SiO 、 Al_2O_3 、 Si_3N_4 などのうすい被膜から成り、通常その厚みは $2\mu\text{m}$ 以下、好ましくは $500\text{\AA}\sim 10000\text{\AA}$ の範囲である。

図示はしていないが、本発明の磁電変換素子では、半導体膜14の上面に無機質の薄い絶縁層がパシベーション層として形成されてもよい。この場合の無機質の絶縁層は、 SiO_2 、 SiO 、 Al_2O_3 、 Si_3N_4 などの被膜からなり、通常その厚みは $2\mu\text{m}$ 以下、好ましくは $500\sim 100000\text{\AA}$ の範囲である。

感磁部半導体膜14は、通常の磁電変換素子として用いられる高移動度のⅢ-V族化合物半導体膜がよく、更に、In又はAsのいずれか、又は両方を同時に含むⅢ-V族の化合物半導体の二元、三元の半導体は好ましいものである。特に、InSb、InAsが高い移動度を示す為より好ましく用いられる。用いられる半導体膜の電子移動度は $2000\sim 80000\text{cm}^2/\text{V}\cdot\text{sec}$ の範囲内にあり、単結晶もしくは多結晶の薄膜が用いられる。

半導体膜の形成には、LPE法、CVD法、MOCVD法、蒸着法、MBE法等通常の半導体薄膜の形成法であれば何でもよい。特に、MBE法は、結晶性の良好な半導体膜が得られ、高電子移動度の膜ができ、しかもまた磁電変換素子の感度に非常に大きな影響を持つ因子である膜厚の制御性が良いので好ましい。また半導体薄膜の形成には、単結晶もしくは多結晶の半導体ウェーハより研磨法により、薄膜化する方法も用いられている。磁電変換素子の電極15はAu、Al、Al-Si合金等の通常ワイヤーボンディングに用いられる細線21により、リードフレーム22又はプリント基板上に形成された配線パターン25等の導体に電気的に結合される。

プリント基板24上に結線する場合において、用いるプリント基板24は通常の電子部品の配線に用いられるものでよい。その配線導体上にAu、Ag等のボンディング性の良好な薄層を形成することも好ましく行なわれる。

本発明磁電変換素子または通常樹脂モールドにより形成される。モールド樹脂23の材質は、一般に電子素子のモールドに使用されている樹脂でよい。好ましいものは、熱硬化性樹脂で、エポキシ樹脂、フェノールエポキシ樹脂等がある。そのモールド方法は、通常の電子部品で行われている方法でよく、例えば、注型モールド、トランスファーモールド、固形ベレットを素子上に置き加熱溶解後、硬化してモールドする方法がある。

以上、本発明の磁電変換素子の1例としてホール素子を例にとり説明してきたが、他の素子、例えば磁気抵抗効果素子についても、ホール素子とは、その電極形状、端子電極の個数、感磁部のパターンが異なるが、ホール素子と同じく同様に電極形成がなされ、基本構成については同一である。以下、本発明を具体例をもつて説明するが、

本発明はこれらの例のみに限定されるものではなく、先に述べた基本構造を持つ全ての磁電変換素子に及ぶものである。

第1例

表面が平滑なマイカ基板上に、厚さ $1\mu\text{m}$ 、電子移動度 $30000\text{cm}^2/\text{V}\cdot\text{sec}$ のInSb薄膜を真空蒸着により形成して半導体膜14を作った。

このInSb薄膜の表面にエポキシ樹脂を塗布し、厚さ $0.3\mu\text{m}$ 、一辺が $45\mu\text{m}$ の正方形をしたセラミック基板12上に接着した。ついで前記マイカを除去した。その後フォトレジストを使用し、通常行われている方法でInSb薄膜の感磁部の表面上にフォトレジスト被膜を形成した。次に、無電解メッキを行い、銅を厚さ $0.3\mu\text{m}$ 所要の部位のみに付着させた。さらに銅の厚付けを行う為、電解銅メッキを行い、厚さ $4\mu\text{m}$ 、Cu層16を形成した。次に上記のフォトレジストを再度用い、電極部のみに厚さ $2\mu\text{m}$ のAu層18を電解メッキ法により形成した。

次に上記のフォトレジストを再度用い、フォトリソグラフィの手法により、不要なInSb薄膜及び、一部の不要な銅を塩化第2鉄の塩酸々性溶液でエッチング除去し、ホール素子の感磁部及び4つの電極部を形成した。ついでシリコン樹脂により感磁部の真上にコーティングを行って感磁部の保護膜を形成した。

次に、このウェーハをダイシングカッターにかけ、 $1.1\times 1.1\text{mm}$ の方形のホール素子に切断した。次にこれをリードフレーム22のアイランド51上に接着した。次にホール素子の電極15とリードフレーム22とを高速ワイヤーボンダーを用い、Au細線21で結合した。エポキシ樹脂によりトランスファーマールド法でパッケージした。

このようにして製作したこの発明を適用したホール素子のワイヤーボンディング時の不良率は第1表中のIの如くであつた。

第1表

	I	II
不良率(%)	0.23	8.2

第1表において、IIはInSb薄膜上に直接 $2\mu\text{m}$ のAu層を形成した場合である。

それぞれの場合においてボンディング時の素子

の温度は 100°C である。また、超音波エネルギーはそれぞれの場合について不良率が最小になるように選んである。さらにまた、サンプル数は各2000個である。不良率は1接合あたりの値である。電極とAu細線21との間の引張り強度が 2g 以下のものは不良とした。

以上の結果より、基板の表面に有機絶縁層を有する磁電変換素子において、強固でかつ、収率の良いワイヤーボンディングができることが明らかとなった。

第2例

表面が平滑なマイカ基板上に厚さ $1.2\mu\text{m}$ 、電子移動度 $10000\text{cm}^2/\text{V}\cdot\text{sec}$ のInAs膜をMBE法(分子線エピタキシー法)により形成した。

次に、第1例と同様の方法で $0.3\mu\text{m}$ 一辺が $45\mu\text{m}$ の正方形をしたセラミック基板上に接着した。この後は第一例と全く同一の方法でホール素子を組立てた。この様にして作成したホール素子のワイヤーボンディング時の不良率は第2表の如くであつた。

第2表

	I	II
不良率(%)	0.2	9.0

第2表において、Iは本発明を適用したもの、IIはInAs薄膜上に直接 $2\mu\text{m}$ のAu層を形成した場合である。

それぞれの場合において、ボンディング時の素子の温度は 100°C である。また、超音波エネルギーはそれぞれの場合について不良率が最小になるように選んである。また、サンプル数は各々2000個であり、不良率は1接合あたりの値である。また、電極とAu細線間の引張り強度が 2g 以下のものは不良とした。

このように、本発明の磁電変換素子は極めて強固なワイヤーボンディングが可能であり、しかも収率もよくワイヤーボンディングを行うことができる。

第3例

表面が平滑なマイカ基板上に厚さ $1\mu\text{m}$ 、電子移動度 $30000\text{cm}^2/\text{V}\cdot\text{sec}$ のInSb薄膜を真空蒸着により形成して半導体膜14を作った。このInSb薄膜の表面にエポキシ樹脂を塗布し、厚さ

0.3mm一辺が45mmの正方形をしたフェライト基板12上に接着した。ついで前記マイカを除去した。その後フォトレジストを使用し、通常行われている方法でInSb薄膜の感磁部の表面上にフォトレジスト被膜を形成した。次に、無電解メッキを行い、銅を0.3μm所要の部位のみに付着させた。さらに銅の厚付けを行う為、電解銅メッキを行い、厚さ4μmのCu層16を形成した。

さらにその上に電解メッキにより厚さ2μmのAu層18を形成した。次に上記のフォトレジストを再度用い、フォトリソグラフィの手法により、不要なInSb薄膜及び、一部の不要な銅を塩化第2鉄の塩酸々性溶液でエッチング除去し、ホール素子の感磁部及び4つの電極部を形成した。後にシリコン樹脂により感磁部の真上に磁気収束用のフェライトのチップを接着した。次に、このウェーハをダイシングカッターにかけ、1.1×1.1mmの方形のホール素子に切断した。次にこれをリードフレーム22のアイランド51上に接着した。次にホール素子の電極15とリードフレーム22とを高速ワイヤーボンダーを用い、Au細線21で接合した。エポキシ樹脂によりトランスファーマールド法でパッケージした。

このようにして製作したこの発明を適用したホール素子のワイヤーボンディング時の不良率は第3表中のIの如くであつた。

第 3 表

	I	II
不良率(%)	0.1	8.3

第3表において、IIはInSb薄膜上に直接2μmのAu層を形成した場合である。

それぞれの場合においてボンディング時の素子の温度は100℃である。また、超音波エネルギーはそれぞれの場合について不良率が最小になるように選んである。さらにまた、サンプル数は各2000個である。不良率は1接合あたりの値である。電極とAu細線21との間の引張り強度が2g以下のものは不良とした。

また、上記の素子の断面構造を第5図に示す。第5図に於てエポキシ樹脂層は、絶縁層13を構成している。感磁部19上にシリコン樹脂層41を介して磁気収束チップであるフェライト42が

付けられている。

第4例

表面が平滑なマイカ基板上に厚さ1.2μm、電子移動度10000cm²/V・secのInAs薄膜をMBE法(分子線エピタキシー法)により形成した。

このInAs薄膜を厚さ0.3mm一辺が45mmの正方形をしたフェライト基板上に接着した。この後は第3例と全く同一の方法でホール素子を組立てた。この様にして作成したホール素子のワイヤーボンディング時の不良率は第4表の如くであつた。

第 4 表

	I	II
不良率(%)	0.1	7.4

第4表において、Iはこの発明を適用したものの、IIはInAs薄膜上に直接2μmのAu層を形成した場合である。

それぞれの場合においてボンディング時の素子の温度は100℃である。また、超音波エネルギーはそれぞれの場合について不良率が最小になるように選んである。さらにまた、サンプル数は各々2000個であり、不良率は1接合あたりの値である。また、電極とAu細線間の引張り強度が2g以下のものは不良とした。

第5例

表面が平滑な単結晶マイカ基板上に、厚さ1μm、電子移動度30000cm²/V・secAu細線間の引張り強度が2g以下のものは不良とした。

第5例

表面が平滑な単結晶マイカ基板上に、厚さ1μm、電子移動度30000cm²/V・secのInSb薄膜を真空蒸着により形成して半導体膜14を作った。次に、この上に真空蒸着法により、厚さ3000ÅのAl₂O₃膜を形成した。このAl₂O₃薄膜の表面にエポキシ樹脂を塗布し、厚さ0.3mm、一辺が45mmの正方形をしたフェライト基板12上に接着した。ついで前記マイカを除去した。その後、フォトレジストを使用し、通常行われている方法でInSb薄膜の感磁部の表面上にフォトレジスト被膜を形成した。次に、無電解メッキを行い、銅を厚さ0.3μm所要の部位のみに付着させた。さらに銅の厚付けを行う為、電解銅メッキを行い、厚さ4μmのCu層16を形成した。

11

さらにその上に電解メッキにより厚さ $2\mu\text{m}$ のAu層18を形成した。次に上記のフォトリソグラフィを再度用い、フォトリソグラフィーの手法により、不要なInSb薄膜及び、一部の不要な銅を塩化第2鉄の塩酸々性溶液でエッチング除去し、ホール素子の感磁部及び4つの電極部を形成した。ついでシリコン樹脂により感磁部の真上にコーティングを行い、保護膜を形成した。次に、このウェーハをダイシングカッターにかけ、 $1.1\times 1.1\text{mm}$ の方形のホール素子に切断した。次にこれをリードフレーム22のアイランド51上に接着した。次にホール素子の電極15とリードフレーム22とを高速ワイヤーボンダーを用い、Au細線21で接合した。エポキシ樹脂によりトランスファーマールド法でパッケージした。

このようにして製作したこの発明を適用したホール素子のワイヤーボンディング時の不良率は第5表中のIの如くであった。

第5表

	I	II
不良率(%)	0.1	8.2

第5表において、IIはInSb薄膜上に直接 $2\mu\text{m}$ のAu層を形成した場合である。

それぞれの場合においてボンディング時の素子の温度は 100°C である。また、超音波エネルギー

12

はそれぞれの場合について不良率が最小になるように選んである。さらにまた、サンプル数は各2000個である。不良率は1接合あたりの値である。電極とAu細線21との間の引張り強度が2g以下のものは不良とした。

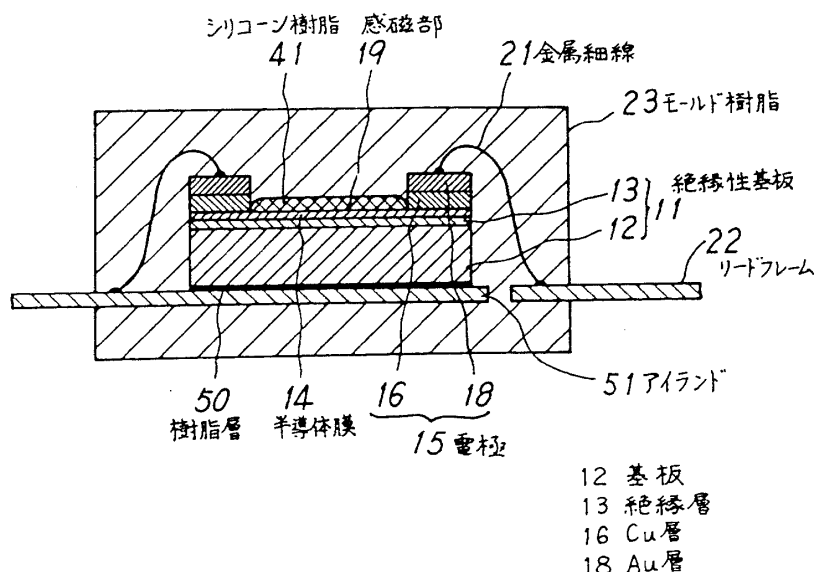
上記の素子の断面構造を第6図に示す。第6図において、エポキシ樹脂層13とInSbの蒸着膜の間にアルミナ層26が形成されている。

図面の簡単な説明

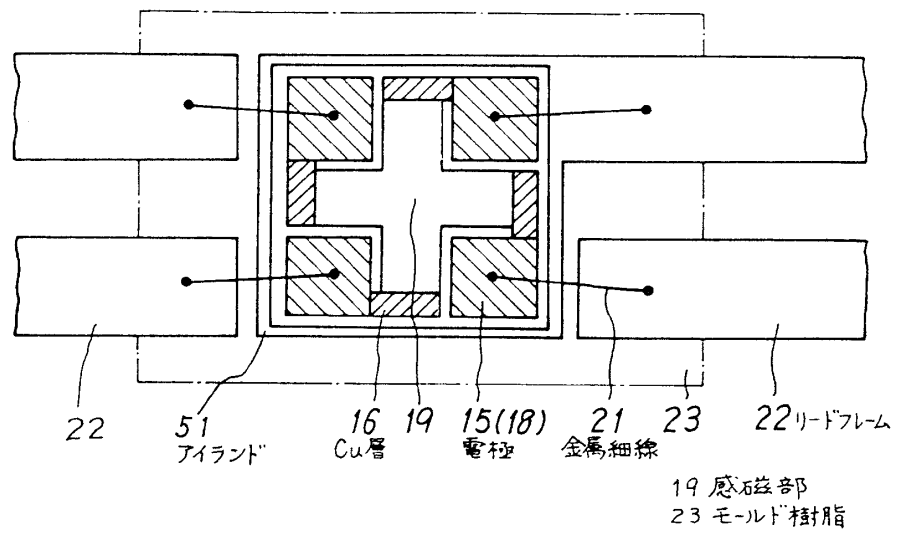
第1図は本発明による磁電変換素子の一実施例を示す断面図、第2図は第1図の平面図、第3図は更に他の実施例を示す平面図、第4図は第3図の断面図、第5図は本発明の第3例もしくは第4例のホール素子を示す断面図、第6図は本発明の第5例のホール素子を示す断面図である。

11……絶縁性基板、12……基板、12'……フェライト基板、13……絶縁層、14……半導体膜、15……電極、16……Cu層、18……Au層、19……感磁部、21……ワイヤーボンディングされた金属細線、22……リードフレーム、23……モールド樹脂、24……プリント基板、25……プリント基板上の配線パターン、26……うすい無機質絶縁層、41……シリコン樹脂、42……フェライト磁気収束チップ、50……ダイボンド接着樹脂層、51……アイランド。

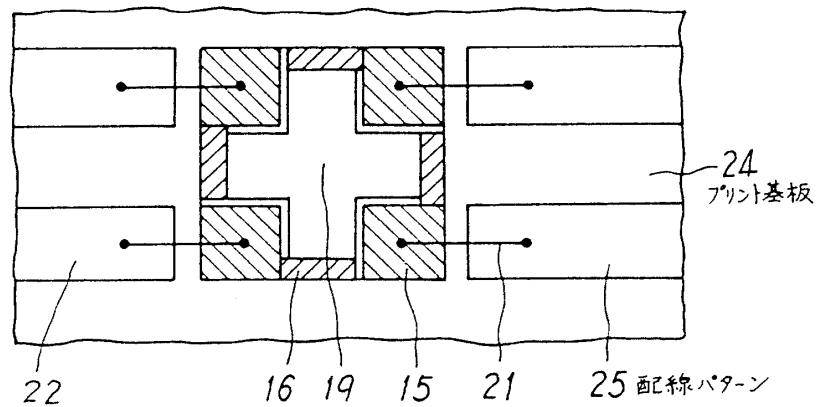
第1図



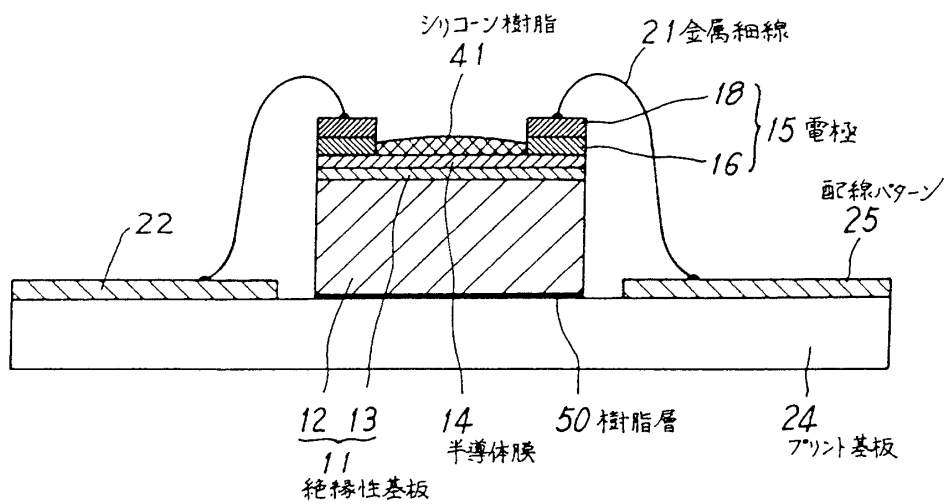
第2図



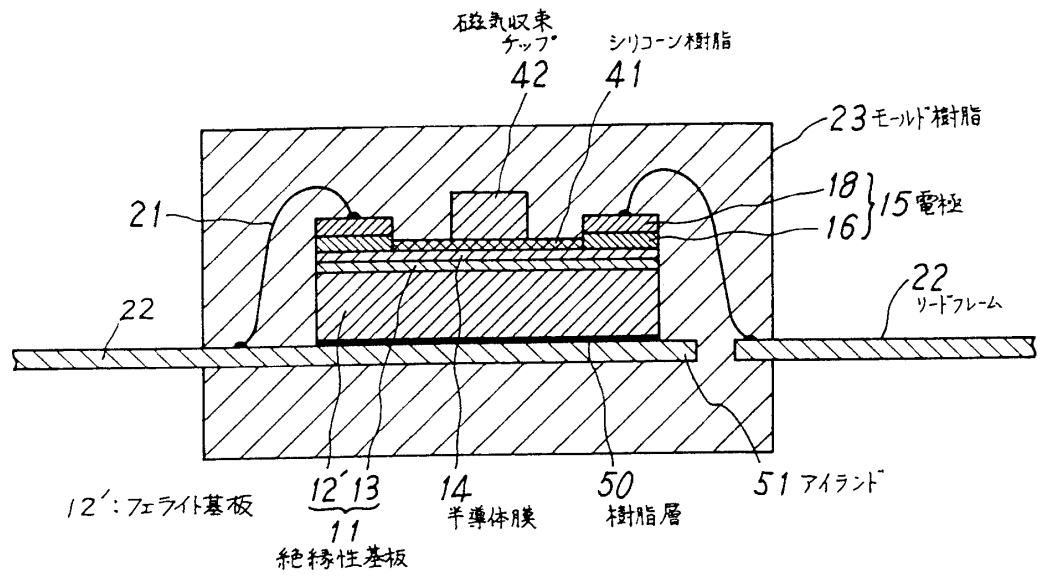
第3図



第4図



第5図



第6図

