

⑫ 特 許 公 報 (B 2)

平4-71351

⑮ Int. Cl.⁵
H 01 L 43/06識別記号 庁内整理番号
Z 7342-4M

②④公告 平成4年(1992)11月13日

発明の数 2 (全7頁)

⑭ 発明の名称 磁電変換素子

⑰ 特 願 昭60-110155

⑱ 公 開 昭61-269386

⑲ 出 願 昭60(1985)5月24日

⑳ 昭61(1986)11月28日

㉑ 発 明 者 梶 野 隆 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

㉒ 発 明 者 柴 崎 一 郎 静岡県富士市鮫島2番地の1 旭化成工業株式会社内

㉓ 出 願 人 旭化成工業株式会社 大阪府大阪市北区堂島浜1丁目2番6号

㉔ 代 理 人 弁理士 谷 義 一

審 査 官 関 口 鶴 彦

㉕ 参 考 文 献 特開 昭58-153384 (JP, A) 特開 昭51-147191 (JP, A)

1

㉖ 特許請求の範囲

1 表面に有機物絶縁層を有する基板と、

前記有機物絶縁層上に形成され、かつ厚さが
0.1~10 μ mのⅢ-V族化合物半導体膜から成ると
共に、両面にアルミナ薄膜を有する感磁部と、該感磁部に接触して形成されたオーミックコン
タクト層と該オーミックコンタクト層上に形成さ
れかつ該オーミックコンタクト層を補強する金属
補強層と該金属補強層上に形成されたボンディン
グ層とから成る三層電極と、該三層電極の前記ボンディング層に接続された
ワイヤボンディング部とを含むことを特徴とする
磁電変換素子。2 マイカ基板上に分子線エピタキシーによりⅢ
-V族化合物半導体薄膜を形成する工程と、前記化合物半導体膜上に第1のアルミナ薄膜を
形成する工程と、前記第1のアルミナ薄膜を有機接着剤により別
の基板上に接着する工程と、

前記マイカ基板を除去する工程と、

前記化合物半導体膜の所定の位置に前記化合物
半導体薄膜に接触するオーミックコンタクト層と
該オーミックコンタクト層を補強する金属補強層
と該金属補強層上のボンディング層とから成る三
層電極を形成する工程と、

前記三層電極以外の前記化合物半導体薄膜の全

2

面に第2のアルミナ薄膜を形成する工程と、

前記三層電極の前記ボンディング層にワイヤボ
ンディング部を形成する工程とを含む磁電変換素
子の製造方法。

5 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ホール素子、磁気抵抗効果素子な
ど、磁界ないし磁束を電気信号に変換する磁電変
換素子に関するものである。

10 〔従来の技術〕

従来、表面上に有機物絶縁層を有する基板上
に、Ⅲ-V族の化合物半導体より成る感磁部半導
体膜が形成されている磁電変換素子は、例えば家
電用に市販されているInSbホール素子のように、
15 その電気的特性が非常に優れ、高感度ではある
が、ハンダリフロー法のような260℃付近での高
温度プロセスによる実装がむずかしいという問題
点を有していた。

〔発明が解決しようとする問題点〕

20 そこで、本発明の目的は、表面に有機物絶縁層
を有する基板上に形成されたⅢ-V族化合物半導
体膜より成る感磁部の耐熱性を向上させ、ハンダ
リフローのような、高温実装時の過酷なサーマル
ショックに完全に耐えることができる高信頼性
25 かつ高感度の磁電変換素子を工業的に量産性の極
めて大なるプロセスで供給することにある。

3

〔問題点を解決するための手段〕

本発明者らは、上述のごとき従来技術の欠点を除くため、広汎な磁電変換素子の構造についての検討を行つた結果、感磁部を構成する半導体膜の上下両面に無機質の薄い絶縁層を形成することにより、磁電変換素子の耐熱性が大幅に改善されることを見出し、信頼性が大であり、かつ高性能の磁電変換素子を製作し、本発明を完成した。

すなわち、本発明の磁電変換素子は、感磁部が表面に有機物絶縁層を有する基板上に形成され、その感磁部は厚さが $0.1\sim 10\mu\text{m}$ のⅢ-V族化合物半導体膜から成り、かつかかる感磁部の両面に無機質の薄い絶縁層が形成されていることを特徴とする。

〔実施例〕

本発明の磁電変換素子の一つの例であるホール素子の構造の一実施例を第1図および第2図に示す。ここで、1は基板、2は基板1上に配置した有機物絶縁層である。3はⅢ-V族化合物半導体膜であり、この半導体膜3の両面に無機質の薄い絶縁層4aおよび4bを形成したものを絶縁層2上に配置する。5はCu層6、Ni層7およびAu層8から成るホール素子電極であり、そのAu層8には金属細線9をワイヤボンディングにより接続する。その金属細線9をリードフレーム10に接続する。11は一部分のリードフレーム10に第2図に示すように形成されたアイランドであり、このアイランド11上にダイボンド樹脂層12により基板1を接着し、その全体をエポキシ樹脂などによりモールドしてモールドケース13を形成する。14は半導体膜3のうち感磁部を形成する部分である。

ここで、ホール素子の電極5以外のホール素子上の部分は、無機質の薄い絶縁層4aで全て覆われている。もちろん、無機質の薄い絶縁層4aは感磁部14上のみ形成してもよい。ここでいう感磁部14とは、実質的な磁電変換作用にあずかる部分であつて、半導体の薄膜部分のみもしくは磁電変換作用を高めるために形成される補助的な電極の形成された半導体薄膜部分を通常は意味している。

さらにまた、ホール素子をリードフレーム10を介することなく、直接プリント配線板に取り付けることもできる。その場合、プリント配線板上

4

に形成された配線路上に金属細線9を直接に接続する。

第3図は感磁部14上にシリコン樹脂層21を形成して、半導体膜3を残留応力等から保護したものである。

第4図はさらにそのシリコン樹脂層21上に磁気収束チップ31を配置して、磁気増幅によりさらに素子の感度を増加させたものである。この場合、基板1にはソフトフェライト等の軟磁性材料を用いるのが好ましい。

以上のように、本発明の磁電変換素子では、感磁部半導体膜3の両側に無機質の薄い絶縁層4aおよび4bが形成されており、これらの層4aおよび4bの介在により、磁電変換素子の耐熱性は大幅に向上し、ハンダリフロー法のような高温プロセスによる実装が可能になった。無機質の薄い絶縁層4aおよび4bは Al_2O_3 、 SiO 、 SiO_2 、 Si_3N_4 、 AlN またはその混合物の単一もしくは複数の薄い被膜等の無機質膜から成り、その厚みは $2\mu\text{m}$ 以下、好ましくは $500\text{\AA}\sim 10000\text{\AA}$ の範囲である。

かかる絶縁層4aおよび4bの存在により磁電変換素子の高温プロセスでの安定性が飛躍的に向上する。これは、無機質の薄い絶縁層4aおよび4bにより、有機物絶縁層2あるいは基板1からの不純物の侵入が阻止され、しかし熱応力が緩和される等の理由によると考えられる。

無機質の薄い絶縁層4aおよび4bにより、 260°C 付近での磁電変換素子の高温実装プロセスにおける熱安定性が大幅に向上し、従来技術では不可能であつた高温実装が可能となつた。さらにまた、無機質の薄い絶縁層4aおよび4bは複数の層より形成されてもよい。 Al_2O_3 のみで無機質の薄い絶縁層を形成することを避けて、たとえば、 $2000\text{\AA}$ の Al_2O_3 層上に $4000\text{\AA}$ の SiO_2 層を形成し、これら2層で上部の無機質の薄い絶縁層4aを構成することにより、かかる絶縁層のエッチング特性を向上させることも好ましい。

さらにまた、絶縁層4aおよび4bの両層の材質、組成、層構造、膜厚等は必ずしも同じでなくてもよい。無機質の薄い絶縁層4aおよび4bを形成するためには、蒸着法、スパッター法、反応性スパッター法、CVD法、分子線蒸着法等各種の方法を用いることができる。

半導体膜 3 としては通常の磁電変換素子として用いられる高移動度のⅢ-V族化合物半導体膜がよく、

InSb, InAs, INp, GaAs, GaSb, In_xSn_y , In_xAs_y , In_xP_y , Ga_xAs_y , Ga_xSb_y ($x+y=2$) 5
 $\text{In}_x\text{Sb}_y\text{Sn}_z$, $\text{In}_x\text{As}_y\text{P}_z$, $\text{In}_x\text{Ga}_y\text{Sb}_z$, $\text{In}_x\text{As}_y\text{Sb}_z$ ($x+y+z=2$)

$\text{In}_s\text{Ga}_t\text{As}_u\text{P}_v$, $\text{In}_s\text{Ga}_t\text{As}_u\text{Sb}_z$, $\text{In}_s\text{Ga}_t\text{Sb}_u\text{P}_v$ ($s+t+u+v=2$)

等のⅢ-V族の2元, 3元, 4元等の化合物半導体で、室温での電子移動度が $2000\sim 80000\text{cm}^2/\text{V}\cdot\text{sec}$ の範囲内にあり、電子濃度が $5\times 10^{15}\sim 5\times 10^{18}\text{cm}^{-3}$ の範囲内で厚さが $0.1\sim 10\mu\text{m}$ の単結晶もしくは多結晶の薄膜が好ましく用いられる。ここで、InSb, InAsは高に移動度を示すので、特に好ましく用いられる。

半導体膜 3 の形成にあたっては、LPE法、CVD法、MOCVD法、蒸着法、MBE法等通常の半導体膜の形成法であれば何を用いてもよい。この中でも特にMBE法は結晶性の良好な半導体膜が得られ、高電子移動度の半導体膜が容易に形成でき、しかも磁電変換素子の感度に非常に大きな影響を持つ因子である薄膜の膜厚の制御性もよいので特に好ましい。また、半導体膜 3 の形成には、多結晶もしくは単結晶の半導体ウェーハから研磨法により薄膜化する方法も用いられる。

有機物絶縁層 2 は、通常、基板 1 と高移動度半導体膜 3 との接着層として好ましく用いられるものであり、通常用いられている熱硬化性のエポキシ樹脂、フェノールエポキシ樹脂、東芝セラミックスのTVB樹脂等が好ましく用いられる。

本発明の素子の基板 1 は、一般の磁電変換素子に用いられているものでよく、単結晶もしくは多結晶のフェライト基板、アルミナ等のセラミックス基板、ガラス基板、石英基板、シリコン基板、サファイア基板、半絶性もしくは導電性のGaAs基板、InP基板等や耐熱性の樹脂基板、強度性体である鉄、パーマロイ等の基板等が用いられる。

ホール素子の電極 5 は、例えばオーミックコンタクト層としてのCu層 6、補強層としてのNi層 7、ボンディング層としてのAu層 8 の三層より成る。この三層構造の電極を形成することにより、有機物絶縁層 2 上の半導体薄膜 3 に対し、低

いパワーの超音波印加でかつ低温で、高信頼性の強固なワイヤボンディング接合を形成することが可能になる。

Au層 8、Ni層 7 あるいはCu層 6 を形成するためには、無電解メッキ法、電解メッキ法、蒸着またはスパッタリングによるリフトオフ法等のように、通常の半導体素子の電極形成に用いる方法を用いることができる。それぞれの層 6~8 の厚さは特に限定しないが、通常は、 $0.1\sim 30\mu\text{m}$ であり、好ましくは $0.3\sim 10\mu\text{m}$ とする。

また、ホール素子の電極 5 をCu層 6 を厚くして、この層 6 とAu層 8 との二層で構成することも好ましい。

モールド 13 のための樹脂は、一般の電子部品のモールドに用いられている樹脂でよい。好ましいものとしては、熱硬化性樹脂があり、たとえばエポキシ樹脂、フェノールエポキシ樹脂等がある。そのモールド方法は、通常の電子部品で行われている方法でよく、例えば注型モールド、トランスファーマールド、固型ペレットを素子上に置き、加熱溶融後硬化してモールドする等の方法を用いることができる。

以上では、本発明の磁電変換素子の一例として、ホール素子を例にとつて説明してきたが、半導体磁気抵抗効果素子等磁気信号を検出して電気信号に変換して出力する素子であつて、ホール効果や半導体の磁気抵抗効果を利用した半導体の磁電変換素子についてはすべて本発明を有効に適用できる。さらにまた、これらの効果と他の効果を併用した半導体の磁電変換素子ももちろん本発明の範囲である。

以下、本発明を具体例をもつて説明するが、本発明はこれらの例のみに限定されるものではなく、先に述べた基本構造を持つ全ての磁電変換素子に有効に適用できるものである。

実施例 1

表面が平滑なマイカ基板上に厚さ $1.2\mu\text{m}$ 、室温での電子移動度が $8500\text{cm}^2/\text{V}\cdot\text{sec}$ であり、電子濃度が $3\times 10^{16}\text{cm}^{-3}$ のInAs膜をMBE法(分子線エビタキシー法)により形成して半導体膜 3 を作つた。次に、この半導体膜上に真空蒸着法により Al_2O_3 の層を $4000\text{\AA}$ の厚さに形成して無機質の薄い絶縁層 4 b を作つた。次に、この薄膜の表面にエポキシ樹脂を塗布し、厚さ 0.3mm 、一辺が 50mm

の正方形をしたアルミナ基板 1 上に接着して、有機物絶縁層 2 を形成した。ついで、前述のマイカを除去した。その後、フォトレジストを使用し、通常行われている方法で InAs 薄膜の感磁部の表面上にフォトレジスト被膜を形成した。次に、無電解メッキを行い、銅を $0.3\mu\text{m}$ の厚さに所要の部分のみに付着させた。さらに、銅の厚付けを行うために電解銅メッキを行って、厚さ $2\mu\text{m}$ の Cu 層 6 を形成した。次に、上記のフォトレジストを再度用いて、電極部のみに厚さ $2\mu\text{m}$ の Ni 層 7 を電解メッキ法により形成した。さらにその上に、電解メッキにより厚さ $2\mu\text{m}$ の Au 層 8 を形成した。次に、上記のフォトレジストを再度用い、フォトリソグラフィーの手法により不要な InAs 薄膜および一部の不要な銅を塩化第 2 鉄の塩酸酸性溶液でエッチング除去し、ホール素子の感磁部および 4 つの電極部を形成した。次に、その上に真空蒸着法により厚さ $2000\text{\AA}$ の Al_2O_3 の層を形成して無機質の薄い絶縁層 4 a を作った。その後、フォトリソグラフィーの手法により、ホール素子の電極 5 の上の不要な Al_2O_3 をフッ化アンモニウム溶液でエッチング除去した。

次に、このウェーハをダイシングカッターにかけ、方形のホール素子に切断した。次にこれをリードフレーム 10 のアイランド 11 上に接着した。次に、ホール素子の電極 5 とリードフレーム 10 とを高速ワイヤーボンダーを用い、Au 細線 9 によつて、接合し、エポキシ樹脂によりトランスファーマールド法でパッケージした。

このようにして製作したホール素子の高温実装条件 (260°C のハンダ槽中に 5 分間) でのテストの前後の入力抵抗の変化率は、次の第 1 表の I の如くであつた。

第 1 表

	I	II
抵抗変化率(%)	-2.7	-23.1

それぞれの場合について、第 1 表中の数字は 100 素子の平均値である。また、抵抗の測定は 20°C の大気中で行っており、耐熱テスト後の抵抗値はテスト後十分冷却したのちに測定を行ったものである。

第 1 表において、II は半導体膜 3 の両面の無機

質の薄い絶縁層 4 a, 4 b を設けない、従来技術で製作した場合である。感磁部半導体膜 3 を Al_2O_3 の薄い絶縁層でサンドイッチすることにより、このようにホール素子の耐熱性が飛躍的に向上することがわかる。

実施例 2

実施例 1 と同じマイカ基板上の InAs 膜の上に実施例 1 と同様にして無機質の薄い絶縁層 4 b を作った。次に、この薄膜の表面にエポキシ樹脂を塗布し、厚さ $0.3\mu\text{m}$ 、一辺が $50\mu\text{m}$ の正方形をしたフェライト基板 1 上に接着し、有機物絶縁層 2 を形成した。ついで、前述のマイカを除去した。その後、実施例 1 と同様にして基板 1 上にホール素子の感磁部 1 4 および 4 つの電極部 5 を形成した。次に、実施例 1 と同様にして、ホール素子の電極 5 以外のウェーハ表面上に無機質の薄い絶縁層 4 a を形成した。しかる後、シリコン樹脂により感磁部 1 4 の真上に磁気収束用のフェライトのチップ 3 1 を接着した。

次に、これを実施例 1 と同様の方法で組み立てた。このようにして製作したホール素子の高温実装条件 (260°C の大気中に 5 分間) でのテスト前後の入力抵抗の変化率は次の第 2 表中の I の如くであつた。

第 2 表

	I	II
抵抗変化率(%)	-1.9	-22.5

それぞれの場合において、第 2 表中の数字は 100 素子の平均値である。また、抵抗の測定は 20°C の大気中で行っており、耐熱テスト後の低抗値はテスト後十分冷却したのちに測定を行ったものである。第 2 表において II は両面に無機質の薄い絶縁層 4 a および 4 b がない。従来技術で製作した場合である。感磁部半導体膜 3 を Al_2O_3 の薄い絶縁層 4 a と 4 b によりサンドイッチすることにより、このようにホール素子の耐熱性が飛躍的に向上することがわかる。これにより、ハンダリフロープロセス等の工業的に大量、かつ高温の実装プロセスに十分耐える高信頼性磁電変換素子が実現された。

〔発明の効果〕

以上説明してきたように、本発明では、表面

に有機物絶縁層を有する基板上に形成されたⅢ－Ⅴ族化合物半導体膜より成る感磁部の耐熱性を向上させ、ハンダリフローのような、高温実装時の過酷なサーマルシヨクに完全に耐えることができる高信頼性かつ高感度の磁電変換素子を工業的に量産性の極めて大なるプロセスを実現することができる。

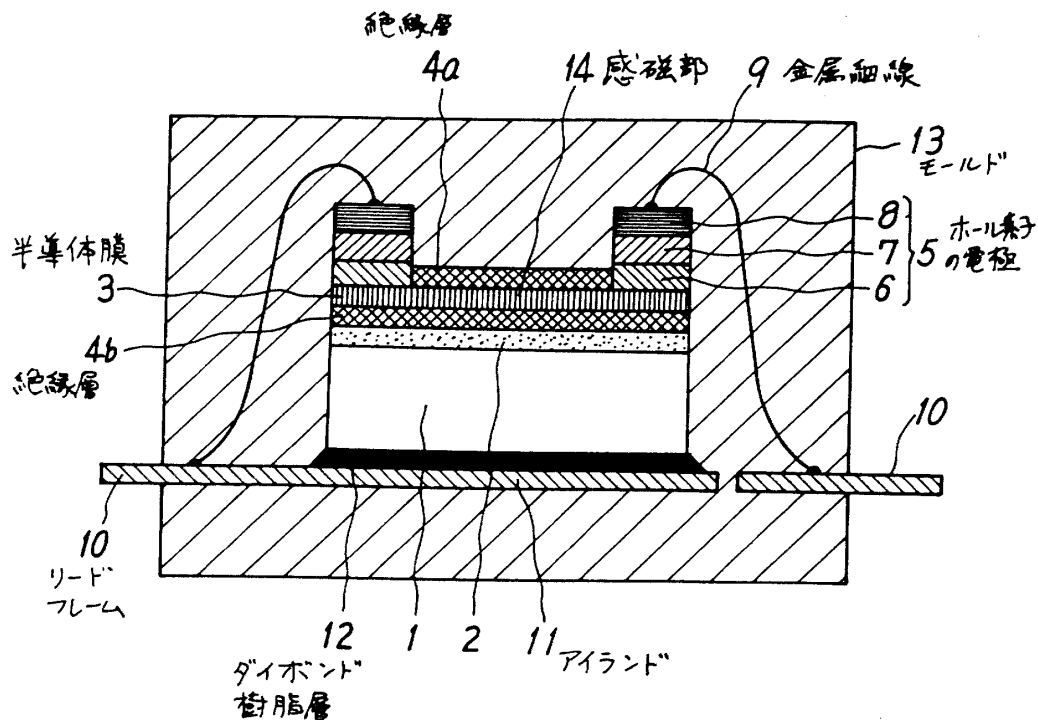
図面の簡単な説明

第1図は本発明による磁電変換素子の実施例を示す断面図、第2図は第1図の平面図、第3図は

本発明の他の実施例を示す断面図、第4図は本発明のさらに他の実施例を示す断面図である。

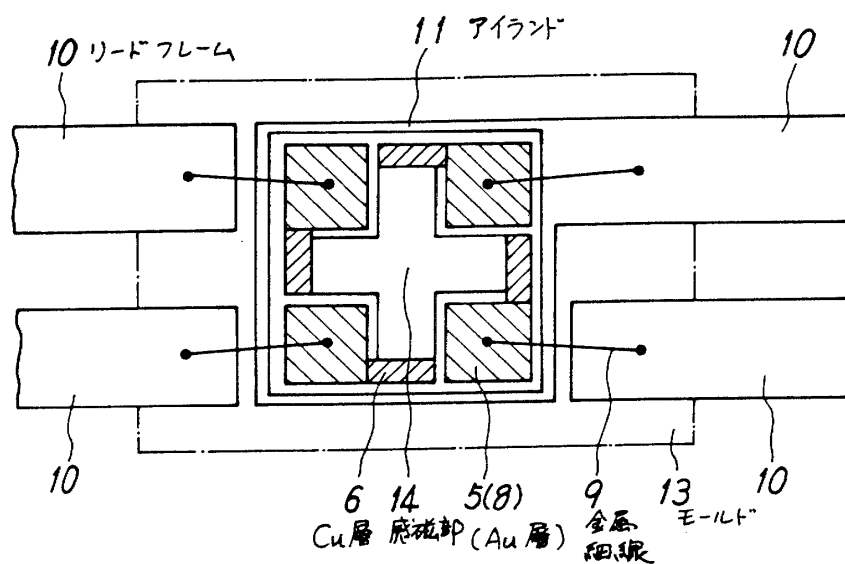
1…基板、2…有機物絶縁層、3…半導体膜、4 a, 4 b…無機質の薄い絶縁層、5…ホール素子の電極、6…Cu層、7…Ni層、8…Au層、9…ワイヤボンディングされた金属細線、10…リードフレーム、11…アイランド、12…ダイボンド樹脂層、13…モールド、14…感磁部、21…シリコン樹脂層、31…磁気収束チップ。

第1図



- 1 基板
- 2 有機物絶縁層

第 2 図



第3図

