

半導体素子の先端技術集成

TECHNOLOGY
CONCISE



(株)経営システム研究所

テーマと執筆者

(敬称略)

第1章 半導体技術の現状と今後の動向(編集部)

第2章 IC・LSIの先端技術

- | | | |
|-----|----------------------|--------------|
| 第1節 | CMOS IC・LSIの先端技術 | 丹呉浩侑(東芝) |
| 第2節 | バイポーラIC・LSIの先端技術 | 赤坂洋一(三菱電機) |
| 第3節 | ハイブリッドIC・LSIの先端技術 | 本田辰夫(松下電子部品) |
| 第4節 | アナログ・ディジタル混載LSIの先端技術 | 赤羽功司(沖電気工業) |

第3章 半導体素子及び周辺技術の今後の注目技術

- | | | |
|------|-----------------------|------------------------------|
| 第1節 | 半導体レーザの注目技術 | 伊藤国雄(松下電子工業)
清水裕一(松下電子工業) |
| 第2節 | 化合物半導体の注目技術 | 奥村次徳(東京都立大学) |
| 第3節 | ジョゼフソン素子の注目技術 | 森末道忠(埼玉大学) |
| 第4節 | 固体ビデオカメラシステムの開発・実用化技術 | 中田康雄(ソニー) |
| 第5節 | 電子回路のCAD(LSIのレイアウト設計) | 吉田憲司(東芝) |
| 第6節 | 音声合成LSIの開発動向と活用法 | 櫛木好明(松下電器) |
| 第7節 | アモルファス・メモリ材料 | 今村修武(KDD) |
| 第8節 | 光・電子集積回路の注目技術 | 松枝秀明(日立製作所) |
| 第9節 | SITデバイスの注目技術 | 大見忠弘(東北大学) |
| 第10節 | 受動回路基板の注目技術 | 二瓶公志(沖電気工業) |
| 第11節 | 蒸着ホール素子とその特性 | 柴崎一郎(旭化成) |

第4章 IC・LSIの製品・市場動向(編集部)

第11節 蒸着ホール素子とその特性

1. 序 論

最近の半導体磁気センサの発展の中で、ホール素子は、その有用性をみとめられ、ブラシレスモーター等を中心とした応用が活発に研究され、プレーヤー用モーター、VTR用モーター、ビデオディスク用モーター等の磁界検出素子として応用が拡大している。

本論では、蒸着法によって製作されるインジウムアンチモナイト (InSb) 薄膜ホール素子について基本的な事柄とその特性を述べる。

2. ホール素子の原理と不平衡電圧

ホール素子は、固体内を走行する荷電粒子 (電子又は正荷電の空孔) が、磁界の存在により、その運動方向に直角な力をうけることによって生ずるホール効果を利用した半導体磁気変換素子である。

ホール素子は、半導体のホール効果により素子に加えられた磁界の磁束密度に比例した電圧信号、即ち、ホール出力電圧又はホール電圧を取出すよう構成された素子である。

さて、現在まで、開発され、市販されているホール素子は、n型半導体 (InSb, InAs, GaAs, Si, Ge等) のホール効果を利用したものである。この中で、InSbのホール素子は真空蒸着法又は、結晶研磨等の方法で製作される。

写真1に、現在市販されているInSbホール素子を示した。InSbホール素子は、この写真でわかるように、4本のリードをもち、樹脂パッケージをもつものが一般的に市販されている。

図1には、巾 w 、長さ l 、厚さ d のn型半導体のホール素子のホール効果による原理図を模式的に示した。図1でA、Cは入力制御電流端子 (入力電極) で、B、Dはホール出力電圧端子 (出力電極) である。

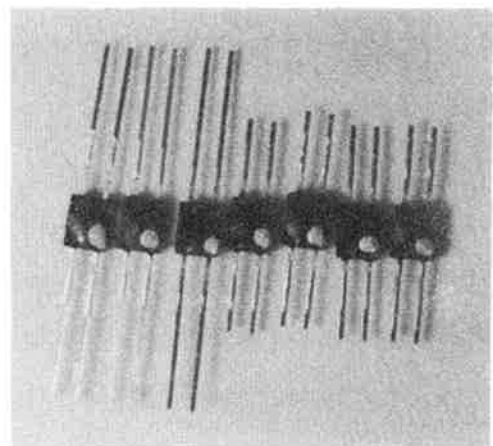


写真1

入力電極A、Cに入力制御電流 I_c を流し、半導体片に垂直に磁束密度 B の磁界を加えたとき、出力電極B、D間に発生するホール出力電圧 V_H は、^{1), 2)}

$$V_H = R_H \frac{I \cdot B}{d} \quad (1)$$

で与えられる。ここで、 R_H はホール係数である。かんたんな電子のみがキャリアとして存在するモデルでは、 $R_H = 1/e \cdot n$ (e = 電子の電荷、 n = キャリヤー濃度) で与えられる。

又、この式では、半導体の ℓ/w に依存する形状効果は無視した。

$K_H = R_H/d$ は定電流積感度とよばれる量で、ホール素子の磁界に対する感度特性を示す。

一般にこの値が大きいほうが、ホール電圧が大きく、磁気検出特性が良い。

この値を大きくするためには、ホール係数を大きくするか、又は、半導体の厚さをうすくすること即ち d を小さくすることが必要である。InSb を使用してホール素子を作る場合、ホール係数の値は半導体の製作するプロセスで定ってしまう場合が多く、シリコンの中のキャリア濃度の場合とちがって、室温で真性領域にあるため制御しにくい。又、使用する InSb の純度等ですでに定ってしまい、なかなか小さくしにくい。しかし、半導体の厚さ d は、製作工程でかなり自由にかえられる。従って、現在は、半導体の厚さをうすくすることによって、ホール素子の積感度を高くする方法がとられている。真空蒸着でホール素子をつくる場合、InSb の厚さは、 1μ 程度が理想的である。

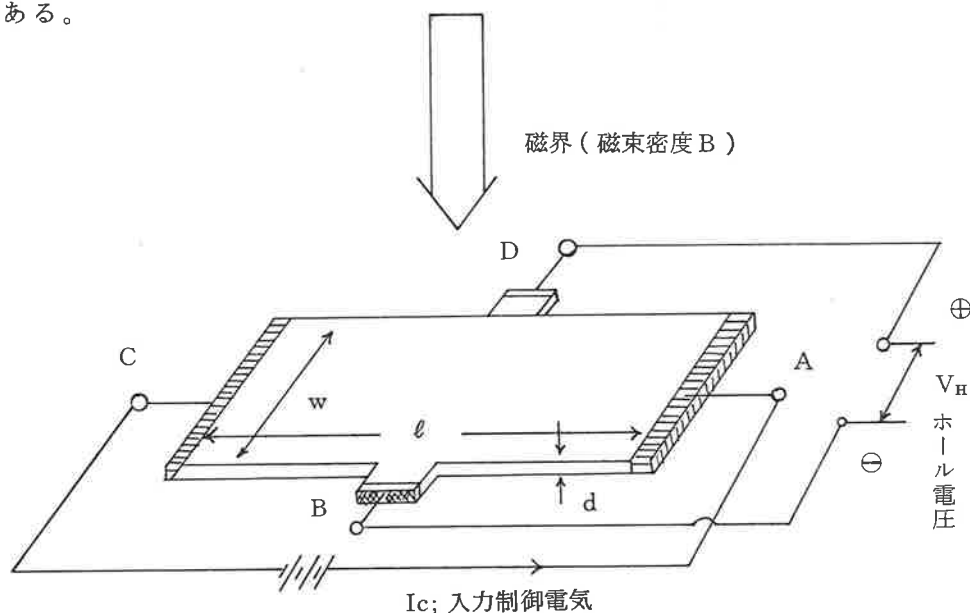


図1 ホール素子のホール効果

次にホール素子の入力電極に一定の入力電圧 V_{in} を加えた場合のホール電圧 V_H は、磁界が小さく、磁気抵抗効果によるホール素子の抵抗値変化が小さい場合には、次式で与えられる³⁾。

$$V_H = \mu_H \cdot \frac{w}{\ell} V_{in} \cdot B \quad (2)$$

ここで、 μ_H は、半導体の電子移動度 (ホール移動度) である。 $K_H' = \mu_H \cdot w/\ell$ は、定電圧積感度と呼ばれ、定電圧入力時のホール素子の磁界に対する感度特性を示す。ホール素子の磁界検出機能は、 K_H' が大きいほうが良い。

K_H' を大きくするためには、半導体の電子移動度は大きくする必要がある。さて、電子移動度 μ_H が大きいと、ホール電圧の磁束密度に対する比例特性が磁気抵抗効果により、低下する。従って

高い磁界まで、磁束密度に対するホール出力電圧の比例性を得るのはむずかしい。しかし、低磁界では磁気抵抗効果が無視でき(2)式に従って、良好なホール出力電圧の磁界比例性が得られる。(2)式で現わされるホール素子の定電圧駆動では、ホール出力電圧 V_H の温度変化が極めて小さいというすぐれた特徴があり、室温付近の温度範囲でInSbホール素子を使用する場合、実用上から、定電圧入力による駆動は極めて重要である。InSb薄膜の厚さを 1μ 程度とした蒸着ホール素子は、この定電圧駆動に最適な素子である。

さて、実際に製作されるホール素子では、必ず入力電極の対称性のずれや、薄膜にした半導体では、特性の不均一分布があり、半導体内に電界の不均一分布が生じ、磁界が印加されない状態でも、ホール素子の出力電極にオフセット電圧が生ずる。

これは、通常不平衡電圧 V_u と呼ばれており、磁界が存在しない状態で、入力電極A、C間に一定の電流又は電圧を入力したときの、出力電極B、D間の電位差で表わされる。従って、ホール素子のホール出力電圧 V_H は、実際の出力電極間の電位差から不平衡電圧 V_u を差し引いて得られる。

不平衡電圧は、使用上好ましくないものであり、ホール素子の入力電極に加えられた電圧に比例し、又、正負いずれの場合もある。

使用上は、このように好ましくないものであるが、ホール素子の製造上不平衡電圧はやむを得ず発生する。従って、ホール素子を実際に使用するときのホール電圧に対して、不平衡電圧がどれだけ小さく抑えられているかは、積感度とともに実用的なホール素子の良否を決める重要なポイントである。一般には、 V_u の一定入力条件下での値又は V_u/V_H の値で表示される。特に、弱い磁界の検出センサとしてホール素子を使用する場合、不平衡電圧は極力小さく抑えられたものでなければならない。

製作上、ホール素子の不平衡電圧の値を小さくするためには、ホール素子のパターン形成精度を良くすること、薄膜化されたInSnの膜内特性のバラツキを小さく抑えること、特に、シート抵抗値分布のバラツキを小さくすること、又、膜厚分布を均一にすることが必要である。こうした点から、真空蒸着で作られたInSbホール素子は、膜厚分布、シート抵抗値の分布を均一にしやすい、不平衡電圧が小さく、又、高感度のものが得やすい。

図2には、ホール素子のパターン例を示した。図2からわかるように、出力電極は、中央、左右対称に形成され、通常は、フォトエッチングにより精度よく形成される。

図3には、ホール出力電圧 V_H と不平衡電圧 V_u 、出力端子間電圧 V_{out} の関係を示した。 V_u は、正負いずれの場合もあり、この回は、 $V_u > 0$ の場合を示した。破線で示したのは、 $V_u = 0$ の理想的なホール素子の場合を示している。このときは、ホール出力電圧と、ホール素子の出力端子間電圧は一致する。一般に、 $V_H \gg V_u$ が、ホール素子を使用する場合に要求されるが、このためには、印加する磁界を大きくとるか、又は、 V_u を小さくするか、更に、ホール素子の感度を大きくとるかいずれかの条件が要求される。しかし、印加磁界の大きさは、使用目的で定まるのがふつうであり、又、 V_u は製造プロセスで定まってしまうため、実用ホール素子では、工程上 V_u を小さく

抑えることとホール素子の高感度化が要求される。使用磁界が大きい場合は、この条件は比較的ゆるやかであるが、弱い磁界で使用する場合はきびしい条件となる。

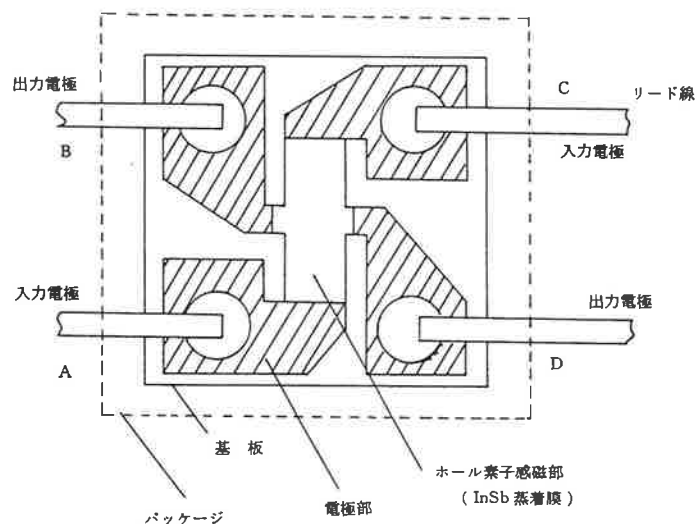


図2 ホール素子のパターン例（上面透視図）

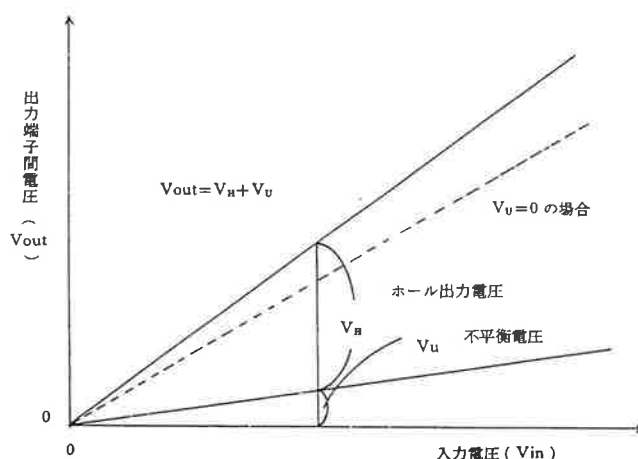


図3 ホール素子の入力電圧と不平衡電圧、ホール出力電圧の関係（磁束密度＝一定）

3. ホール素子の構造と高感度化

現在市販されているホール素子には、2つの異なる構造のものがあ
る。第1のタイプは、基本的には、
セラミック等の非磁性基板上に形成
されたInSbの薄膜ホール素子パター
ン部分がそのままパッケージされた
構造のものであり、ホール素子に強
磁性材料が使用されていないもので
ある。この構造のホール素子では、
図4(A)に示すように、式(1)に従って、
ホール電圧 V_H が磁束密度 B に比例す
る V_H-B 特性を有する。

一方、第2タイプの構造を有するものはInSbの薄膜から成るホール素子パターン部分（感磁部）がソフトフェライト等の強磁性体基板上に形成されている構造もしくは、強磁性体基板で上下からInSbの薄膜から成るホール素子感磁部をサンドイッチした構造のものである。この場合は、磁性材料の磁化の飽和により、ホール素子の V_H-B 特性に折れ曲り点があり、 V_H-B 特性に比例限界が生ずる特徴を有する。

このような構造は、ホール素子の低磁界での高感度化の目的でとられるものであり、不平衡電

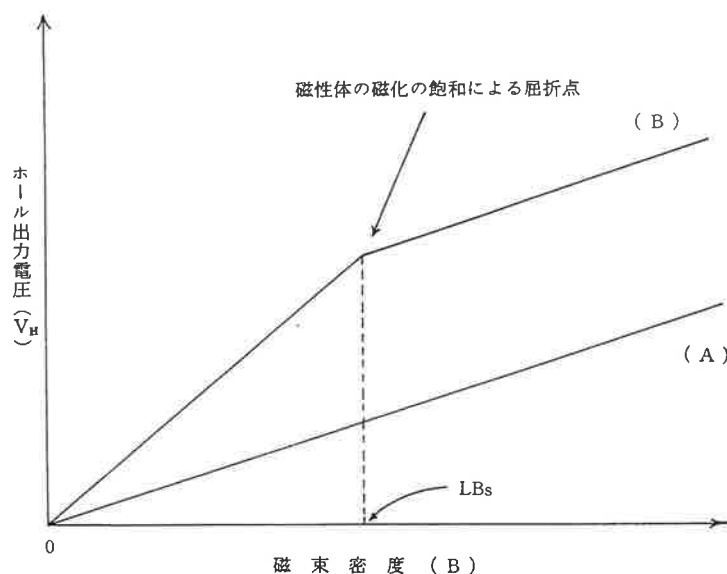


図4 ホール素子の基本構造の違いと V_H-B 特性（入力電流 I_{in} ＝一定）

圧 V_u を増大させることなくホール電圧 V_H を、大きくできるという特徴を有する。これはホール素子の磁気増巾又は磁気集束効果である。従って、実用上極めて有用であり、InSbホール素子の多くは、この構造でつくられている。

さて図5に示されているように、ホール素子の感磁部を上下から強磁性体でサンドイッチした状態で、全体が一樣な外部磁界中に置かれた場合を考える。こうすると、ホール素子が実際に受ける磁束密度 B' は、外部の一樣な磁界の磁束密度を B としたとき、上下の強磁性体の磁化により、 $B' > B$ となってもホール素子のホール出力電圧は、強磁性体のないときよりも大きくなる（印加磁界のみかけ上の増巾効果）。

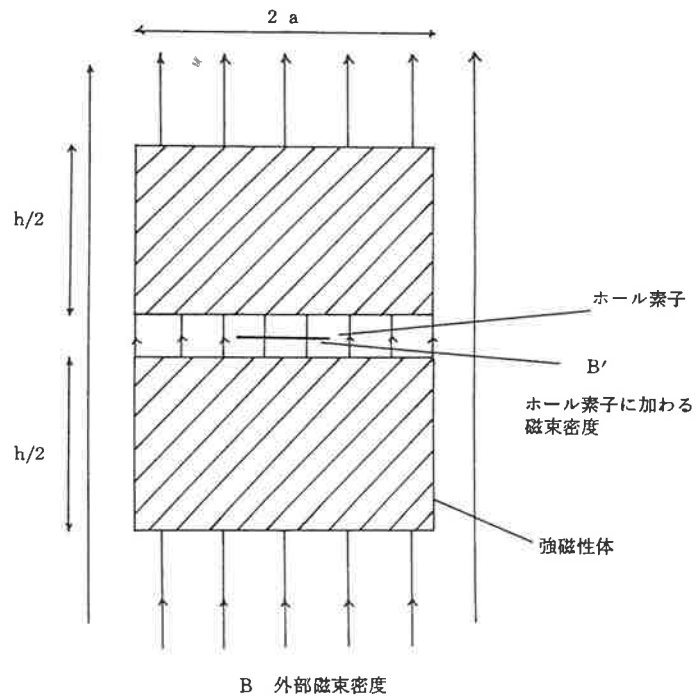


図5 強磁性体でサンドイッチされたホール素子

例えば、計算をかんたんにするため、上下の強磁性体は、円柱形で、直径 $2a$ 、厚さ $h/2$ を有するとし、ホール素子の挿入されているギャップは、強磁性体の厚さ $h/2$ に比して十分小さく無視できるとする。更に、強磁性体の透磁率が1より十分大きいと仮定すると、ホール素子に加わる磁束密度は、高さ h 、径 $2a$ の円柱状磁性体の反磁場係数を L として、

$$B' = \frac{1}{L} B \quad (3)$$

で与えられる。

従って、ホール素子のホール出力電圧 V_H は、

$B/L \leq B_s$ のとき、 $1/L$ 倍になり、

$$V_H = R_H \cdot \frac{I}{d} \cdot \frac{B}{L} \quad (4)$$

で与えられる。ただし、 B_s は強磁性体の飽和磁束密度である。

一般に、反磁場係数は、強磁性体の形状のみで定まり、この例では、

$$L = 1 - \frac{h}{\sqrt{h^2 + 4a^2}} \quad (5)$$

で与えられる。この例からもわかるように、一般に $L < 1$ であり、 L の値を適当に設計することにより、ホール素子に加えられる磁束密度(3)式に従って、 B の何倍かにすることができる。しかも、この場合は、当然のことながら不平衡電圧の増加はない。

こうして磁気増巾したホール素子の外部磁束密度に対するホール出力の比例限界は、

$$B = LB_s \quad (6)$$

で与えられる。図 4(B)でこの点を示してある。

この比例限界をこえた場合のホール出力電圧の増加は、当然のことながら外部磁束密度の増加に対応する部分のみであり、 $B \geq LB_s$ では、

$$V_H = R_H \cdot \frac{I}{d} [(1-L) B_s + B] \quad (7)$$

で与えられる。この式で、 $L = 1$ の場合は、強磁性体が存在しない場合に対応する。

さて、一般にホール素子で使われる強磁性体は、矩形又は正方形であり、上側は、円柱、又は角柱の場合が多く、又、その大きさも、上側は、下側に比して一般に小さい。この場合の反磁場は、式(5)より若干複雑である。又、飽和磁束密度もフェライト、パーマロイ等の材料によって異なるので、一般に、強磁性材料でサンドイッチされたホール素子の V_H-B 特性は、いろいろなものがある。しかし、一般に実用に供されているホール素子の場合、1 KG 程度が比例限界である。特別に高感度化したものでは、比例限界が 500 G 以下のものもある。

さて、InSb蒸着ホール素子は、感磁部半導体の薄膜の厚さは、 1μ 程度であり、上記磁気増巾は容易に実現される。

図 6 には、こうしたInSb蒸着ホール素子の2つのタイプ構造例を断面図で示した。図 6(a)は第1のタイプで、 V_H-B 特性が比例限界がなく、(b)は、フェライトでサンドイッチされた構造のホール素子である。図の(a)の例は、一般にホール素子基板としてセラミック、ガラス等が用いられ、(b)の例では、ソフトフェライトがホール素子基板として用いられ、上側のフェライトも一般には基板と同様のソフトフェライトを用いる。

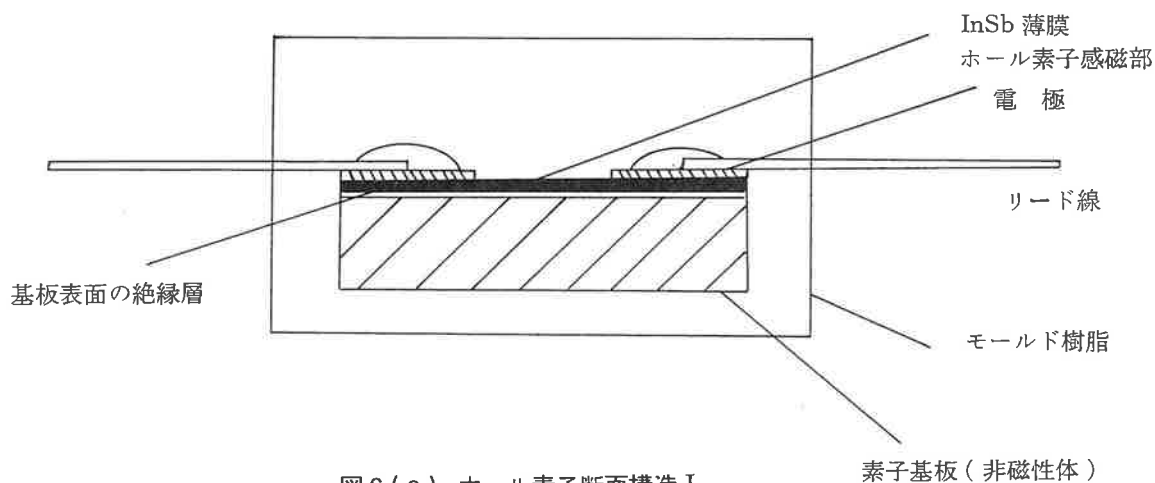


図 6(a) ホール素子断面構造 I

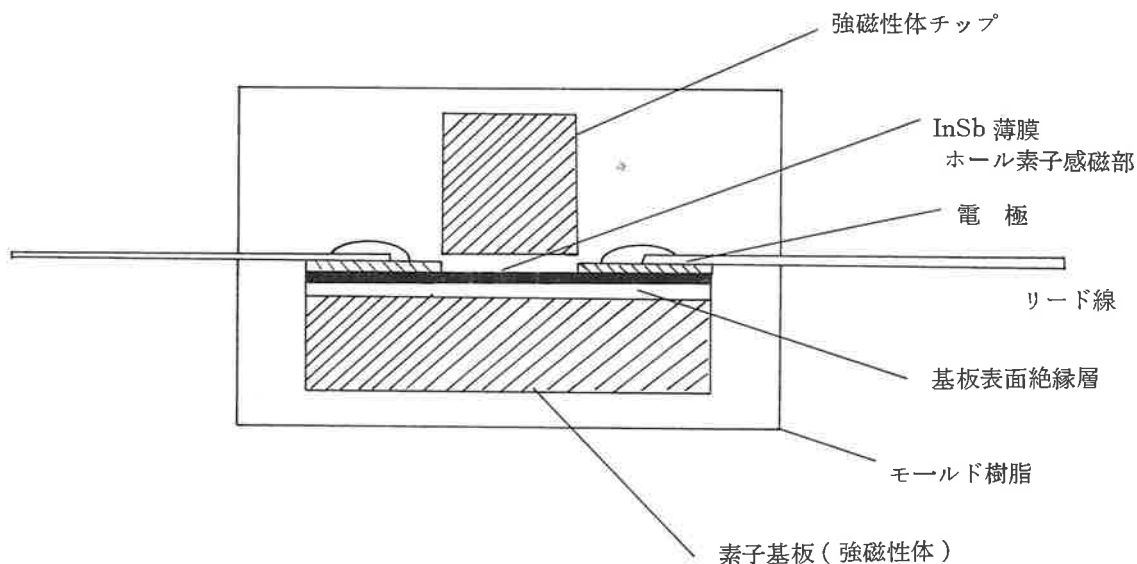


図6(b) ホール素子断面構造II (磁気増巾型)

4. ホール素子の製作と InSb 真空蒸着法，半導体特性

真空蒸着で製作されるホール素子は、InSbに限らないが、最も一般的に行なわれているものがInSbホール素子である。ここでは、InSbの蒸着ホール素子の基本プロセスと真空蒸着について述べてみたい。

真空蒸着法でホール素子を製作する場合、第2節で述べたように、高い電子移動度をもつInSb蒸着薄膜の製作が問題となる。次に、この薄膜をフォトリソグラフィングして微小なホール素子パターンを形成し、更に、電極付け、リード線のボンディング、樹脂モールド等の工程を経てホール素子は製作される。図7にこのようなホール素子製作のプロセスのフローチャートを示した。

真空蒸着工程では、ホール素子の基本特性を定めるInSbの薄膜特性が定まり、エッチング工程では、ホール素子の入出力抵抗値、定格特性等が設計値にそって定まり、以降の工程で、ホール素子のリード線付けや、パッケージ、検査等を行う。真空蒸着の工程を除くと、一般の半導体素子の製作工程に準じた製作工程であり、ホール素子特有のプロセスではないのでくわしいことは省略する。

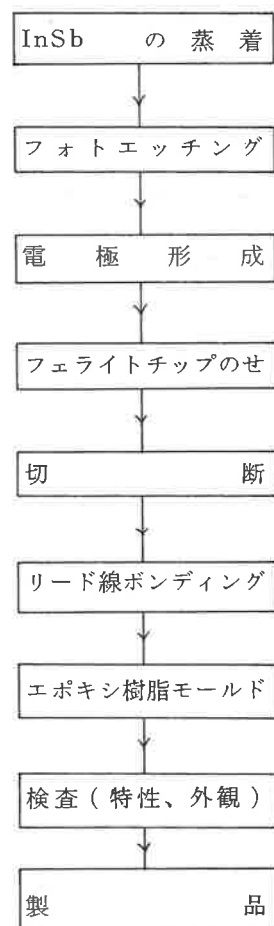


図7 InSb ホール素子の製作プロセス例

さて、InSb のホール素子を真空蒸着によって製作するときの最大の問題点は、いかにして高い電子移動度の高い薄膜を得るかである。膜厚が $1\text{ }\mu\text{m}$ 以下で、電子移動度 μ_H が、 $10,000\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上のInSb蒸着膜を工業的に得る真空蒸着法として、いくつかの若干異なる考え方にもとづく方法が提案されている。それぞれの方法で、いくつかの条件を適当に選ぶことにより、電子移動度 μ_H が、 $10,000\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上のものを製作することが可能である。又、実験室的には、この限りではないことはもちろんである。

さて、InSbの蒸着を特にむずかしくしている原因としては、InとSbの蒸気圧の大きなちがいがあある。このため、通常真空中で、InSbの蒸着を行うと、基板上に被着したInSbの薄膜内で、InとSbの原子比率が1:1即ち、いわゆる化学量論的組成にならず、そのため形成された薄膜の半導体特性が極端に低下してしまうという問題がある。又、もう一つの問題は、蒸着によって作られる薄膜は多結晶であり、この結晶粒子の大きさが半導体特性を大きく左右するが、この結晶粒子の状態が蒸着条件によって大きくかわる点である。従って、これら半導体特性を左右する因子を適切に制御しないと良特性のInSbの蒸着膜は得られない。

図8には、単純なInSbの蒸着機の内部構造を示してある。一般にInSbの蒸着の条件は 10^{-6} Torr 台でInSbを加熱蒸発させると同時に、対向して上部にセットされ、加熱されている蒸着基板上にInSbの薄膜を被着形成する。しかし、このようにして蒸着を行なった場合、蒸発源より蒸着の初期は、蒸気圧の高いSb原子が多く蒸発し、後期には、残留したInが主として蒸発する。一方基板上では、圧倒的に蒸気圧の高いSb原子の再蒸発が大きい（Sb原子の被着確率がIn原子に比較して小さい）。

この結果、形成された蒸着膜は、In原子がSb原子より多くなり、化学量論比よりずれることになる。更に、InとSb原子の比率は膜厚方向でもかわってくる。基板近くは1:1に近く、表面では、Inが多い組成となる。このため高い電子移動度の薄膜を得ることはむずかしい。

このような不合理な面を解決する手段として、InとSbを別々の蒸発源に入れて蒸発させかつ、蒸発源の温度を別々に制御し、InとSbの基板上での被着確率を同一となるようにし、更に、高い電子移動度の蒸着膜を形成させるために、* 基板の温度を結晶化のために最適な温度で制御される方法が提案されている。これは、三温度処理法とよばれている蒸着方法である。図9に、この方法を提案したGunterの装置の例を示した²⁾。もちろん、この装置でなくても三温度処理法は2つ

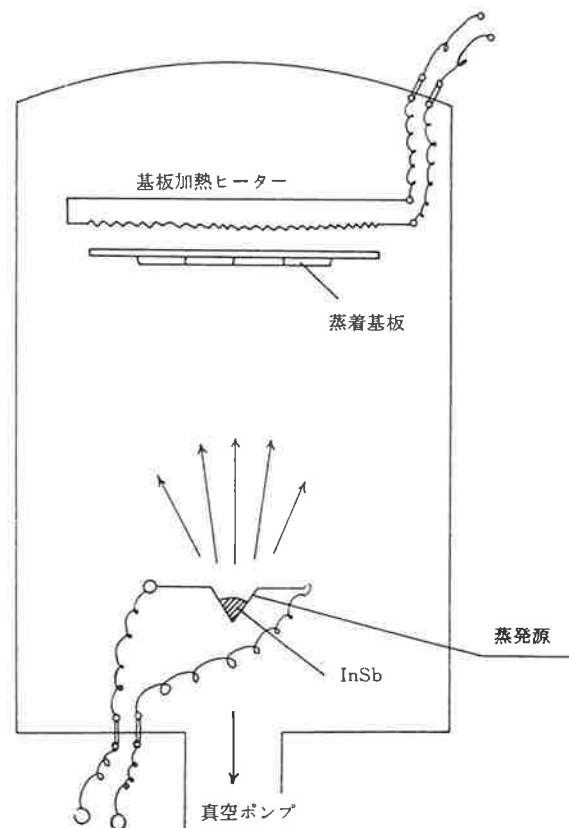


図8 真空蒸着機の構造

の蒸発体系を有する蒸着機であれば可能である。図9の装置では、InのルツボとSbのルツボ及び基板温度がそれぞれ独立に制御できるよう工夫されており、それぞれが最適条件で、制御ができる。基板温度はInSbが熱分解しない条件下で制御され、InとSbのルツボの温度は、基板面でInとSbの被着確率が同一となるよう制御される。

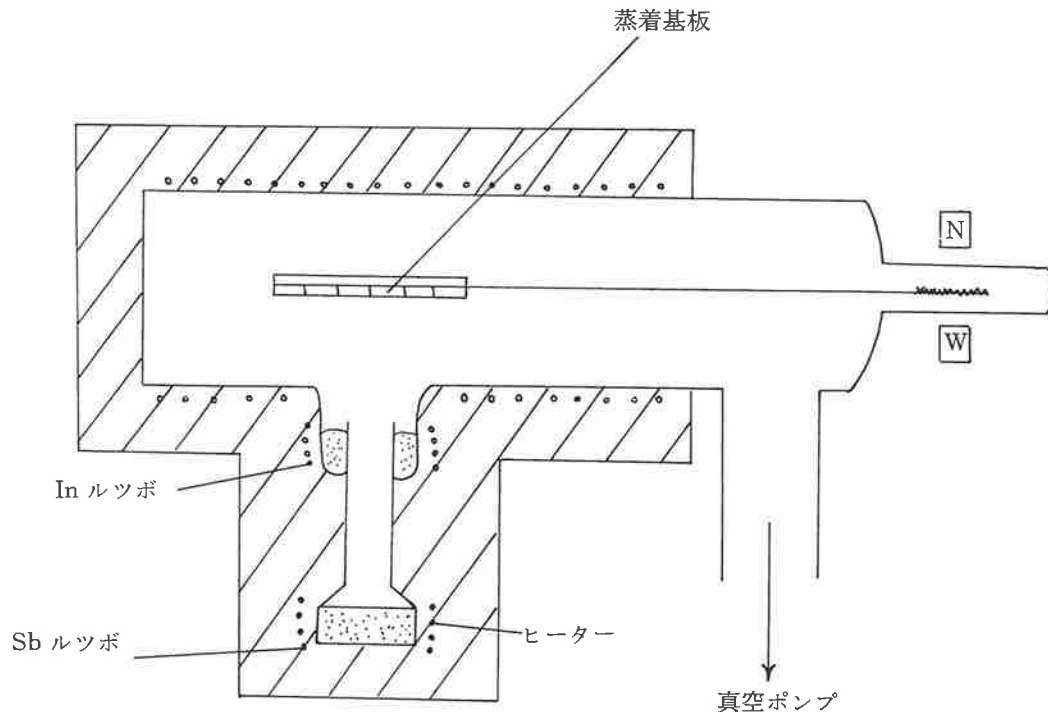


図9 Gunther の3温度処理法の装置

InSbの高電子移動度の蒸着膜を得る第3の方法は、高温のボート中に、InSbの微小粒子を落下させ、瞬間的に蒸発させるフラッシュ蒸着法である。この方法では、非常に短時間にInとSbの原子が同数基板上に到達する。しかし、基板上で、InとSbの同一となるよう基板温度を設定しておかないと化学量論的な組成のまくを得ることはできない。

しかし、一般に、この基板温度は、結晶成長に適した温度とは限らないので、電子移動度を高くすることはむずかしい。しかしInとSbの1:1の組成を得るという意味では、簡便ですぐれた方法である。この場合、蒸着後、電子移動度を高めるために、熱処理等を併用する必要があるだろう。

さて、InSbの高電子移動度薄膜をうる第4の方法としては、蒸発源としていくつかのボートを用い、先に述べた単純な蒸着法をくり返し、基板温度を最適制御することによって、化学量論的組成と高電子移動度を達成する方法や、三温度法の改良で、InとSbの単体でなく、InSbを蒸発させる方法等がある。

いずれも、若干複雑な操作となるが、化学量論的で、高電子移動度の膜を得ることができる。特に、厚さ $1\mu\text{m}$ 以内で電子移動度20,000以上のものが比較的容易に得られる。

以上に述べた方法で得られる蒸着膜は、多結晶InSbの薄膜で、通常ホール素子に用いる場合の薄膜は $1\mu\text{m}$ 程度であり、電子移動度は、常温で $30,000\text{ cm}^2/\text{V}\cdot\text{sec}$ をこえるものもある。

伝導型は、何もドーピングしない限り、n型の導電性を示す真性半導体である。

InSb 蒸着において重要なことは、蒸発源に用いる InSb の純度と基板の表面状態である。

蒸発時に用いる InSb は出来る限り高純度の InSb がよく、7-9 の Non-Dope のものが少くとも望ましい。In と Sb を別々のボートから蒸発させる場合も、In と Sb の純度は高い必要がある。

蒸着の基板としては、400~600℃の高温下の安定で、加熱による不純物の放出や分解のおそれがなく、かつ、表面がなめらかで、絶縁性のあることが必要である。そのため、石英ガラス、セラミック、フェライト等の基板や、天然物では、マイカ等が用いられる。多くの場合、表面に適切な絶縁性の表面処理を行なったのち、蒸着板として用いられる。又、表面の粗らさについても、なめらかな鏡面であることが薄膜特性の向上にとって好ましいことはもちろんである。

次に、こうして得られた InSb 蒸着膜の特性をみてみよう³⁾。

図10に、厚さ 1.0 μ m の InSb 蒸着膜の抵抗率の温度依存性を示した。横軸は、絶対温度の逆数である。極めて良く直線にのる。図11には、同じ蒸着膜の電子移動度の温度依存性を示した。この図からわかるように電子移動度は、室温付近であまり変化しない。低温度で、電子移動度は少し下がる傾向があるが、この性質は、Non-Dope の単結晶とは性質を異にしており、多結晶故、低温で支配的な散乱要因の存在を示している。

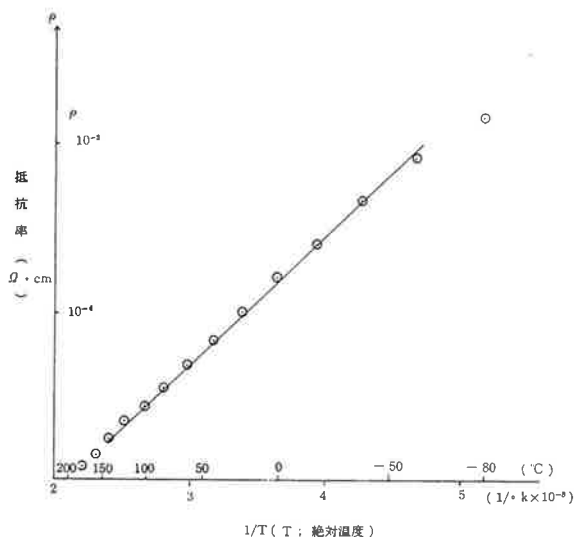


図10 InSb 蒸着膜の抵抗率の温度依存性抵抗率 ρ ($\Omega \cdot \text{m}$)

更に、この電子移動度の室温付近での温度特性は、蒸着ホール素子に定電圧入力を行なって駆動する場合、第2式より、ホール電圧の良好な温度特性が予想される。一方、定電流駆動する場合には、第1式からわかるように、ホール出力は、ホール係数に比例するので、上記のような低い温度依存性を示さない。

こうした InSb 蒸着膜は、室温で n 型であり、半導体特性は 200℃でも失なわれない。

更に 200℃をこえる熱ショック等を与えても、半導体としての性質は不変である。

図12は、ホール係数の温度依存性を示した。ホール係数 R_H 、電気伝導度 σ との間には、電子移動度 μ_H を介して

$$\mu_H = R_H \cdot \sigma$$

で示される関係があり、 R_H の大きな温度依存性は、電気伝導度 ($1/\sigma$ は抵抗率) の大きな温度依存性の故であることを示している。

この温度依存性は、温度上昇に伴う、電子濃度増加に帰因する。

ここに述べた、 μ_H と R_H の温度特性の差が、ホール素子を製作したとき、式(1)と(2)のホール出力電圧の温度特性差を与える。このように InSb の蒸着ホール素子は、InSb 蒸着膜の厚さを 1 μ m とすると、ホール素子の入力抵抗値を数百オームに設計でき、ホール素子の定電圧入力による使用ができるホール素子がかんたんにつくれる。又、高感度性の故に、駆動電流も少なくすみ、

ホール素子の消費する電力も極めて少ない利点をもっている。この点は、他の材料では全く太刀打出来ない性質である。

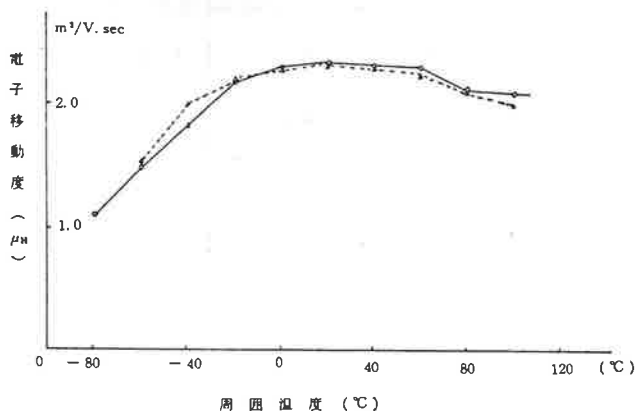


図11 InSb 蒸着膜の電子移動度の温度依存性

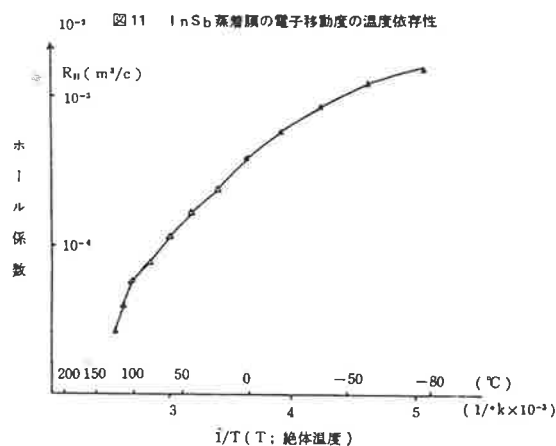


図12 InSb 蒸着膜のホール係数の温度依存性

5. 蒸着ホール素子の基本特性

InSb ホール素子は、第3節で述べた2つのタイプがある。最も基本的なものは、セラミック等の非磁性基板上に製作された構造を有するものである。更に実用上のホール素子として最も重要なものは、磁性体による磁気増巾により高感度化したものである。

表1には、実用蒸着ホール素子の基本的な特性仕様の例を示した⁴⁾。又、最大定格値を表2に示した⁴⁾。図13には外型図を示した。

表1 InSb 蒸着ホール素子の特性 (旭化成 HL-300 C, H-300 A)

	記号	min.	max.	単位	条 件
(1) HL-300 C ホール素子 (セラミック基板) のホール電圧	V_H	31 41 51	45 57 74	mV	$V_{in}=1\text{ V}$ $B=500\text{ G}$
(2) H-300 A ホール素子 (磁気増巾型)のホ ール電圧	V_H	68 78 91 106 123	82 95 110 127 150	mV	$V_{in}=1\text{ V}$ $B=500\text{ G}$
入 力 抵 抗	R_{in}	240	~ 550	Ω	
出 力 抵 抗	R_{out}	240	~ 550	Ω	
不 平 衡 電 圧	V_u	$\frac{V_u}{V_H} \leq \pm 5\%$ 以下			$B=0$ —— $B=500\text{ G}$

表2 InSb 蒸着ホール素子の最大定格 (旭化成 HL-300 C, H-300 A)

	記 号	定 格	単位	条 件
最大制御電流	Ic max	2 0	mA	40 °C
最大入力電圧	Vin max	2.0	V	40 °C
動 作 温 度		-20 ~ +100	°C	
保 存 温 度		-40 ~ +110	°C	

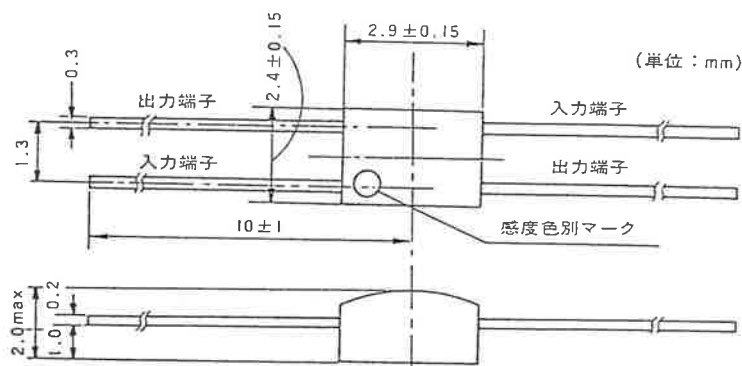


図13 ホール素子外形図 (HL-300 C, H-300 A ホール素子)

ここで、HL-300 Cは図 6 (a)の基本構造を有するホール素子であり、H-300 Aは図 6 (b)の構造を有する磁気増巾型のホール素子である。さて、ホール素子の感度は、入力電圧 1 V、磁束密度 500 G のときのホール電圧 V_H の値で示されている。又不平衡電圧 V_u の値は、入力が 1 V で磁束密度 $B = 0$ のときの出力端子間の電圧であらわされている。この例では、不平衡電圧はホール電圧 V_H と比較して、極めて小さく抑えられており、 $[V_u/V_H (B=500 G)]$ の値は、 $\pm 5\%$ 以内である。この値が小さいのは、InSb 蒸着ホール素子の場合、感度（ホール出力電圧 V_H ）が大きく、かつ、非常に膜厚がうすく、膜厚 $0.8 \sim 1.0 \mu\text{m}$ であり、フォトリソグラフィが容易であり、従ってホール素子のパターン形成精度が良く、不平衡電圧 V_u を小さく抑えることができることによる。第 3 節、図 6 (b)のような構造の実用蒸着ホール素子は、フェライトによる磁気増巾により、ホール電圧 V_H の値が、磁気増巾のない場合と比較すると約 3 倍大きくなっている。一方、磁束密度に対するホール電圧の比例域が限定される。しかし、通常非常に多く使用される 1 K. G 以下の磁束密度ではアナログ出力が十分得られるよう設計されているため、特に実用上の支障はない。

さて、ホール素子の最大定格値は、実用ホール素子からえられるホール電圧 V_H の最大値を定める意味で、重要であり、表 2 では $V_{in \text{ max}}$ 、 $I_{c \text{ max}}$ 、両方とも示してある。

次にこれらの素子の特性をみてみよう。

図14は、基本となる蒸着ホール素子のホール出力電圧 V_H と磁束密度の関係即ち、 $V_H - B$ 特性を定

電流入力駆動の場合につき示した。ここで、 R_L はホール素子の出力負荷抵抗で、 R_L が小さいとホール出力電圧 V_H は低下するが、 R_L が、ホール素子の出力抵抗値にくらべ十分大きいと、ホール出力 V_H は高磁界まで磁束密度に比例する。このことは、出力側にホール電圧によって流れる電流（出力電流）を小さく抑えることが高磁界まで、ホール電圧の磁束密度比例性を得るためには、必要であることを示している。

図15では、基本となる蒸着ホール素子の定電圧入力駆動の場合の V_H — B 特性を示してある。

この場合には、高磁界側で、ホール素子の感磁部を構成する InSb 薄膜の磁気抵抗効果の影響があり、そのため、ホール電圧の磁界比例性がわるくなる。しかし蒸着膜の場合、電子移動度が単結晶素子と比べて小さい。このため、磁気抵抗効果は、単結晶の研磨によるホール素子に比べて小さく、従って、磁気抵抗効果による影響は小さい。この場合、5 KG 以下の磁束密度では、 V_H — B 特性は十分な磁束密度比例性を有する。

出力側の負荷抵抗値の影響は、この場合も、定電流駆動の場合と同じで、ホール素子の出力抵抗値より、負荷抵抗 R_L は十分大きいことが高磁界まで、磁束密度に比例した出力を得るために必要である。

以上図14、図15に示した特性が、いわゆるホール素子の基本特性であり、典型的な蒸着ホール素子の特性を示している。

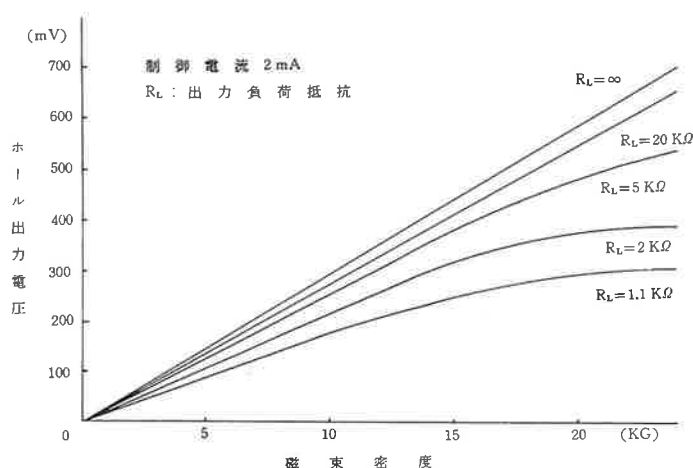


図14 ホール素子 磁界—出力電圧特性

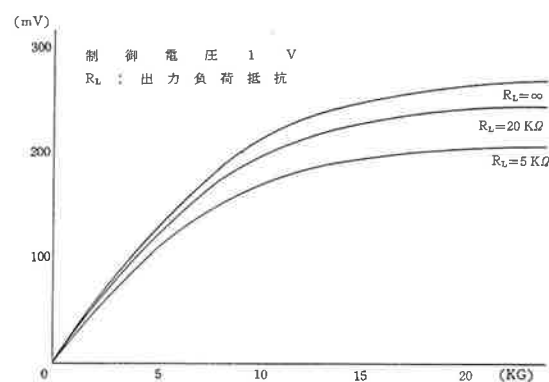


図15 ホール素子 出力電圧—磁界特性

このように、ホール素子の V_H — B 特性では、定電流入力駆動と定電圧入力駆動の場合の差は、磁気抵抗効果が、定電圧入力駆動の場合に、磁束密度に対するホール電圧の比例性に現われる。

さて、実用上非常に重要な図6(b)の構造を有するフェライトサンドイッチによる磁気増巾型の実用蒸着ホール素子の V_H — B 特性を図16に示した。この場合の入力は、 $I_c = 5$ mAの定電流入力駆動の場合である。フェライトの磁化の飽和により、第3節で述べたように、ホール電圧の磁束密度に対する直線的な増加が $B = 1$ K.G. 強のところで折れまがる。もちろんこの場合も出力側の負荷によるホール出力の差異は当然ある。又、フェライトによる磁気増巾により、ホール素子の

出力抵抗値が大きくかわることはなく、出力抵抗値に比して、負荷抵抗値 R_L が十分大きければ、ホール電圧の低下はほとんどない。

次に、定電圧入力駆動の場合の V_H - B 特性を図17に示した。この場合は、定電流の場合と比較してホール素子の入力抵抗の磁気抵抗効果による若干のホール電圧の低下はみられるが、高磁界に於いてであり、磁束密度が1K.G程度の範囲では十分なホール電圧の磁束密度に対する比例性を得られている。

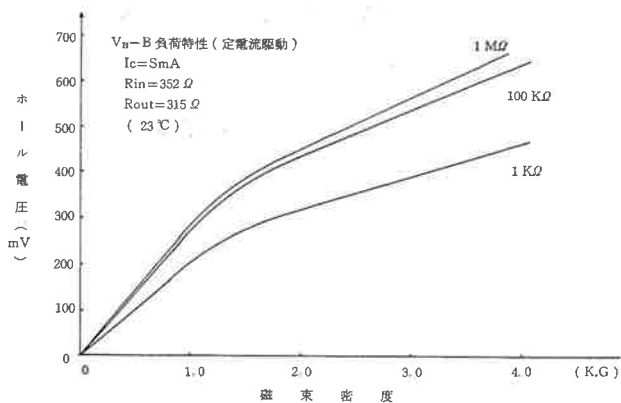


図 16

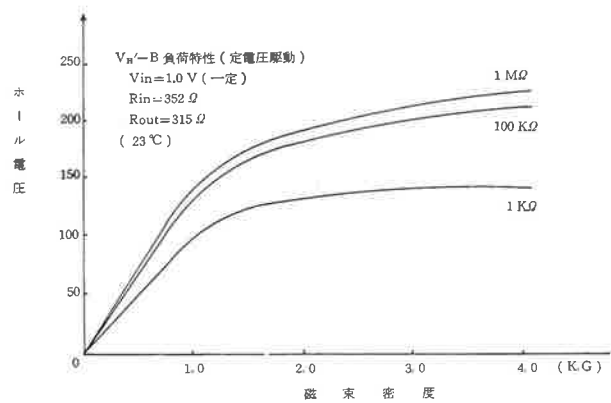


図 17

次に、実用上非常に重要なホール素子の温度性について述べる。

ホール素子の温度依存性、入、出力抵抗値の温度依存性があり、どちらも使用上重要である。

温度特性は、InSb蒸着膜の温度特性、特に電子移動度、ホール係数、抵抗率によって定まる。

ホール出力電圧の温度特性を考える場合、磁気増巾構造を有するものは、使用されている磁性材料の温度特性を考慮しなければ、ならない場合がある。これは、特に温度依存性の大きなフェライト材料を使用した場合や、キューリー点付近でのホール出力電圧の温度特性を考える場合に相当し、実用的なホール素子の磁気増巾材料であるフェライトは、ホール素子の使用温度範囲で温度変化の少ないものが使われており、かつ、キューリー点は、使用温度範囲より、かなり高い材料が選ばれている。このため、ホール素子のホール出力の温度依存性を考えるに当り、特に磁気増巾による影響を考える必要はない。

実用InSb蒸着ホール素子は、従って、第3節で述べた図6(a), (b)両タイプとも同一のホール電圧の温度依存性を示し、更に、抵抗値の温度特性も両者共通である。

さて図18, 図19は、フェライトサンドイッチによる磁気増巾型ホール素子のホール出力電圧の温度依存性を示したものである。

図18には、ホール出力電圧の定電流入力駆動時の温度特性を示し、図19には、定電圧入力駆動に於けるホール出力電圧の温度特性を示した。

ここで、明かなように、定電流入力の場合には、大きなホール電圧の温度依存性があるが、こ

これは、ホール係数の温度依存性に対応するものであり、通常、 $\frac{1}{V_H} \left(\frac{dV_H}{dT} \right)_{I_c = \text{一定}} \cong -1.9\% / \text{deg}$ である。

一方、図19に示された定電圧入力駆動の場合の温度依存性は室温付近でフラットであり、温度がかわってもあまり変化しない。

これは、第4節図11に示されている電子移動度の温度依存性に対応している。実際、温度係数は、 $\frac{1}{V_H} \left(\frac{dV_H}{dT} \right)_{V_{in} = \text{一定}} = +0.18\% / \text{deg}$ (低温部) 及び、 $-0.17\% / \text{deg}$ (高温部) であり、室温付近ではほとんど零である。これは、定電流入力駆動のときの $1/10$ 以下であり、極めて良好な温度特性である。

このような、ホール出力電圧の温度依存性は第3節、図6(a)の基本的なホール素子も、(b)のタイプのホール素子にも全く共通の特性であることは、上述した通りである。

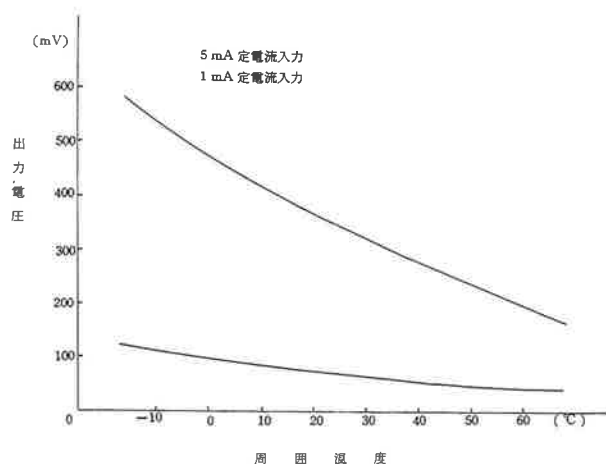


図18 ホール出力電圧の温度特性

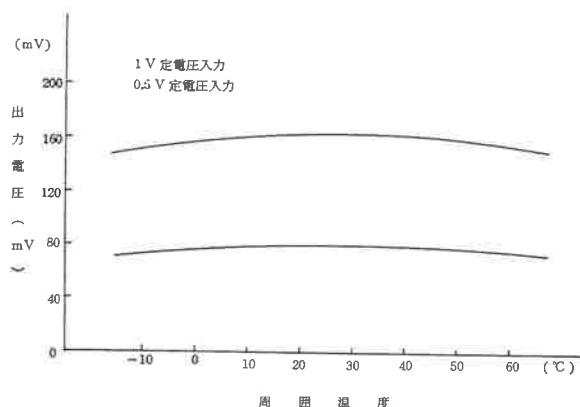


図19 ホール出力電圧の温度特性

さて、蒸着ホール素子では、このような、良好なホール出力電圧の温度依存性を実用素子特性として利用するため、技術的に重要な考慮がなされており、ホール素子の実用性を高める大きな特徴となっている。即ち、蒸着InSbホール素子では、ホール素子の入力抵抗値が、定電圧駆動を行ないやすいよう高抵抗値(数百Ω以上)で設計されていることである。

この条件は、InSbの蒸着膜厚を $1\mu\text{m}$ 以下とし、高いシート抵抗値を得るとともに、ホール素子の感磁部パターンで、 l/w の最適設計がなされ、これにより、高電子移動度の蒸着膜を用い極めて容易に実現される。さて、ホール素子の高感度性を実現しようとするとき、電子移動度は、大きくする必要がある。そうすると、ホール素子の入力抵抗値は、シート抵抗値の低下により必然的に下がる。これをカバーするため、実用ホール素子では、シート抵抗を高くするため薄膜化が要求される。

第4節でも述べたが、ホール素子を作る場合、高電子移動度の達成と、薄膜化、特に 1μ 以下

の薄膜で $20,000 \sim 30,000 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電子移動度のInSb蒸着膜が高感度ホール素子の実現に要求される。

次に、図20にホール素子の入力抵抗の温度依存性を示した。これは、

$$\frac{1}{R_{in}} \left(\frac{dR_{in}}{dT} \right) = -2.0\%/deg \text{ である。}$$

ホール素子の出力抵抗値も全く同様の温度依存性を示すので、ここでは、特にあげてない。

図21は、ホール素子の不平衡電圧の定電圧入力時の温度変化が示してある。当然のことながら、温度による変化はホール出力電圧値に比較して極めて小さい。このことから、ホール素子を使用する場合、定電圧駆動では、不平衡電圧の温度変化を考慮することは全く必要ない。

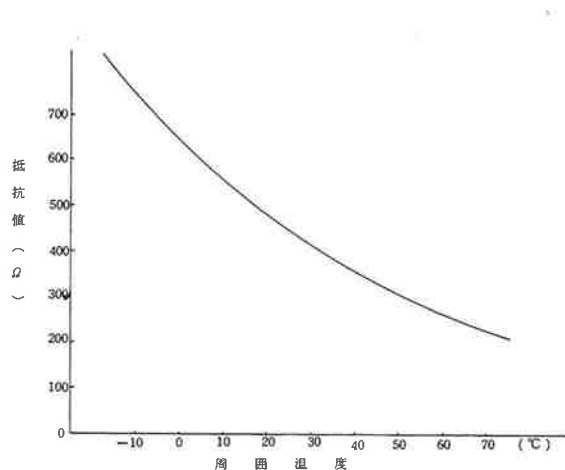


図20 ホール素子の入力抵抗の温度変化

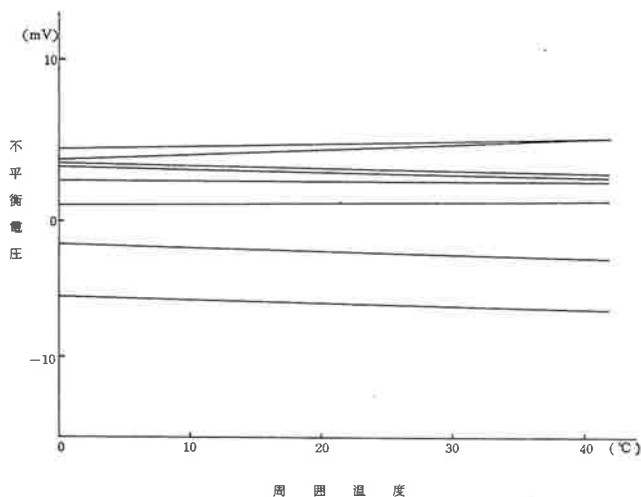


図21 不平衡電圧の温度変化 (1 V 定電圧)

図22は、ホール素子のホール出力電圧がホール素子を駆動する電流にどう依存するかを示したものである。この図からわかるように、入力制御電流による発熱で、ホール電圧の電流比例性がずれてくる。これは、素子温度上昇に対応している。

入力電圧をかえた場合も、ホール出力電圧は、上例と同様に若干電圧上昇とともに電圧比例性がずれてくる。

このことは、第2節(1), (2)式から

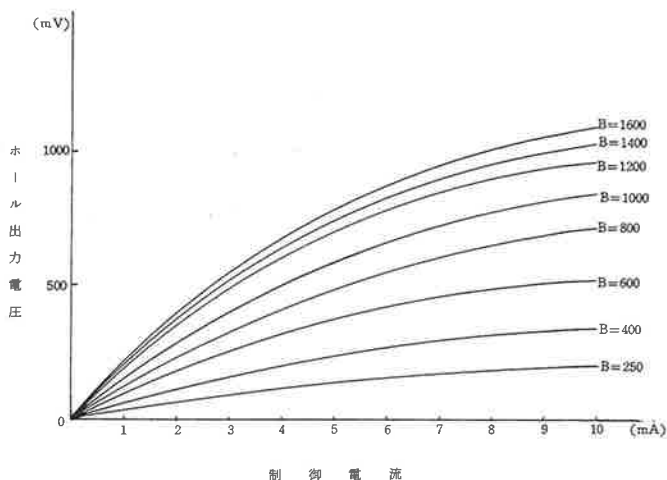


図22 ホール素子 出力電圧—制御電流特性

のずれであるが、実用上のホール素子では、ごくわずかではあるが、上記のような素子温度の上昇による現象が特性上に現われる。

ホール素子を使用するとき、入力電圧、又は、入力制御電流を一定にして使用する場合は、上記の点は特に考える必要はないことはもちろんである。^{*}

最後に、温度特性とともに、蒸着ホール素子のもう一つの特徴は、低消費電力で高いホール出力電圧が得られることである。これは、駆動電流が少いという特徴でもあり、使用上、極めて有利であることは言うまでもない。特に電源が小さい状況でのホール素子の駆動で有利であり、これは、薄膜を使用する蒸着ホール素子の高感度、高出力特性そのものである。

6. 結 論

ホール素子は、半導体素子の中では、ごく最近その応用が拡大した素子であり、特に、オーディオ用のモーターやVTRのモーターの駆動用センサとしての用途が多い。ここでは、蒸着法によるInSbホール素子の基本的な事柄を述べた。

InSbホール素子は、低電力消費、高感度等のいくつかの有利な特徴を有しており、当初問題視されたInSbの温度特性の問題は、定電圧駆動素子の設計により、特に大きな問題にはなっていない。蒸着ホール素子は、現在は、精密モーター等を中心として応用が拡大しつつあるが、上述の如き特徴を生かして、新規な応用や、新しいデバイス設計等により、より以上の機能性をもちうる進歩が期待される。そのためには、蒸着ホール素子は、製作する側からも、使う側からも新しい考え方、アイデア等を積み重ねていくことが必要である。本論では、応用を含めた今後の方向について述べる事が出来なかったが、これから、蒸着ホール素子をいろいろと考える上で重要と思われる点はふれたつもりであり、蒸着ホール素子の理解の一助となれば幸いと考えている。

参考文献・注

- 1) 磁電変換素子 片岡照栄著 日刊工業新聞社(1972年)
- 2) 磁電変換素子の構造と応用 H. Weiss 著(片岡照栄訳)コロナ社
- 3) ホール素子とその特性 旭化成AFG開発部資料(1974年7月)
- 4) 旭化成ホール素子カタログ